

KOREAN PATENT ABSTRACTS (KR)

PUBLICATION (A)

- (11) Patent No.: 10-0189512 (24) Patent Date: 16 January 1999
(21) Application No.: 95-2999 (22) Application Date: 27 February 1995
(65) Publication No.: 95-35449 (43) Publication Date: 30 December 1995
(51) IPC Code:
H04N7/50
(30) Priority claimed:
94-20653 filed on 17 February 1994
94-297346 filed on 30 November 1994
94-317114 filed on 20 December 1994

(71) Applicant:
Sanyo Electric Co., Ltd.
Moriguchi, Japan

(72) Inventor:
Shigeyuki Okada
Hideki Yamauchi

(54) Title of the Invention:

MPEG Audio Decoder, MPEG Video Decoder and MPEG System Decoder

(57) Abstract:

An audio decoder computes an output timing for an audio output based on its decoding time, the SCR and the audio time stamp, and decodes the audio stream in accordance with the output timing.

(19) 대한민국특허청(KR)

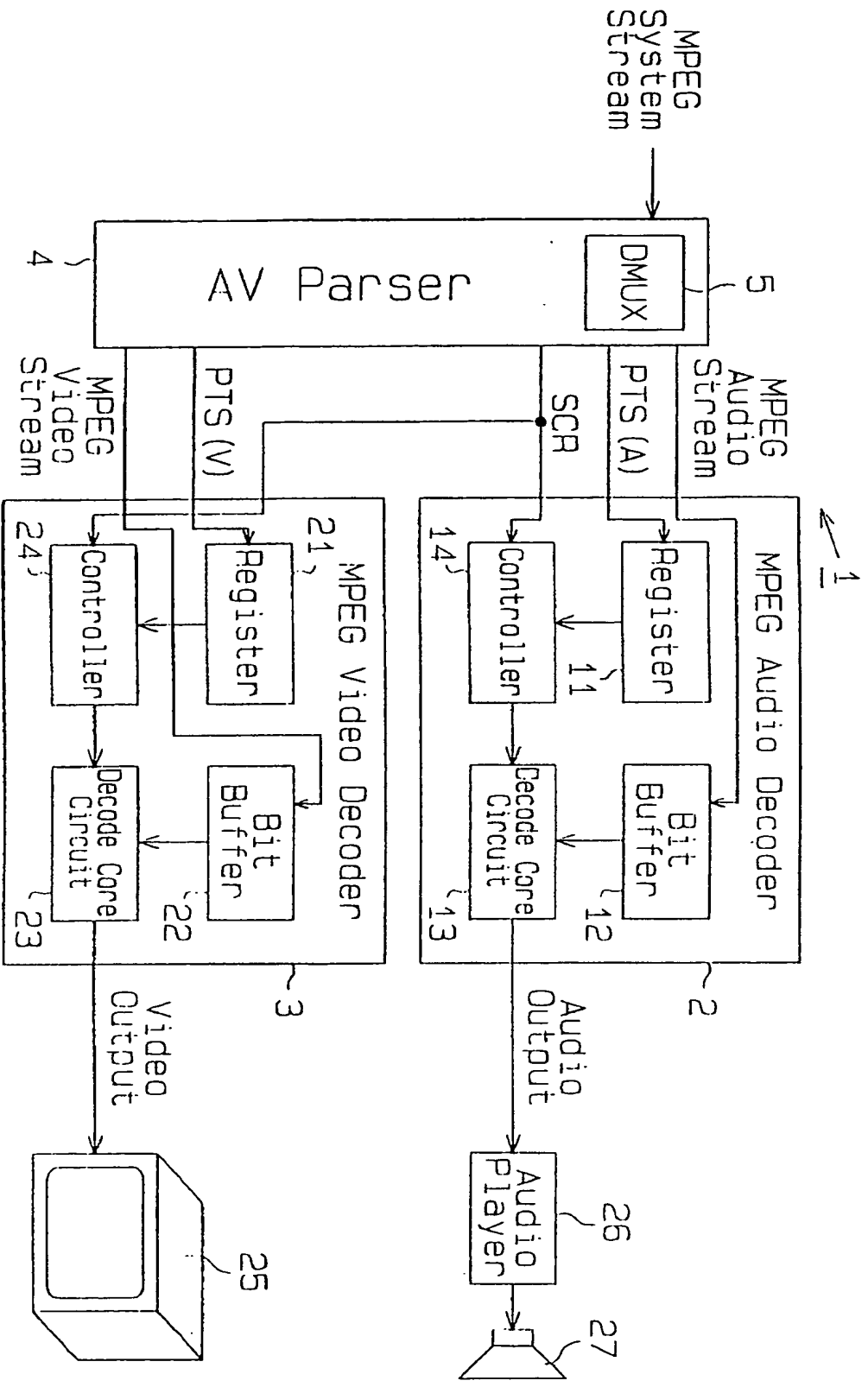
(12) 등록특허공보(B1)

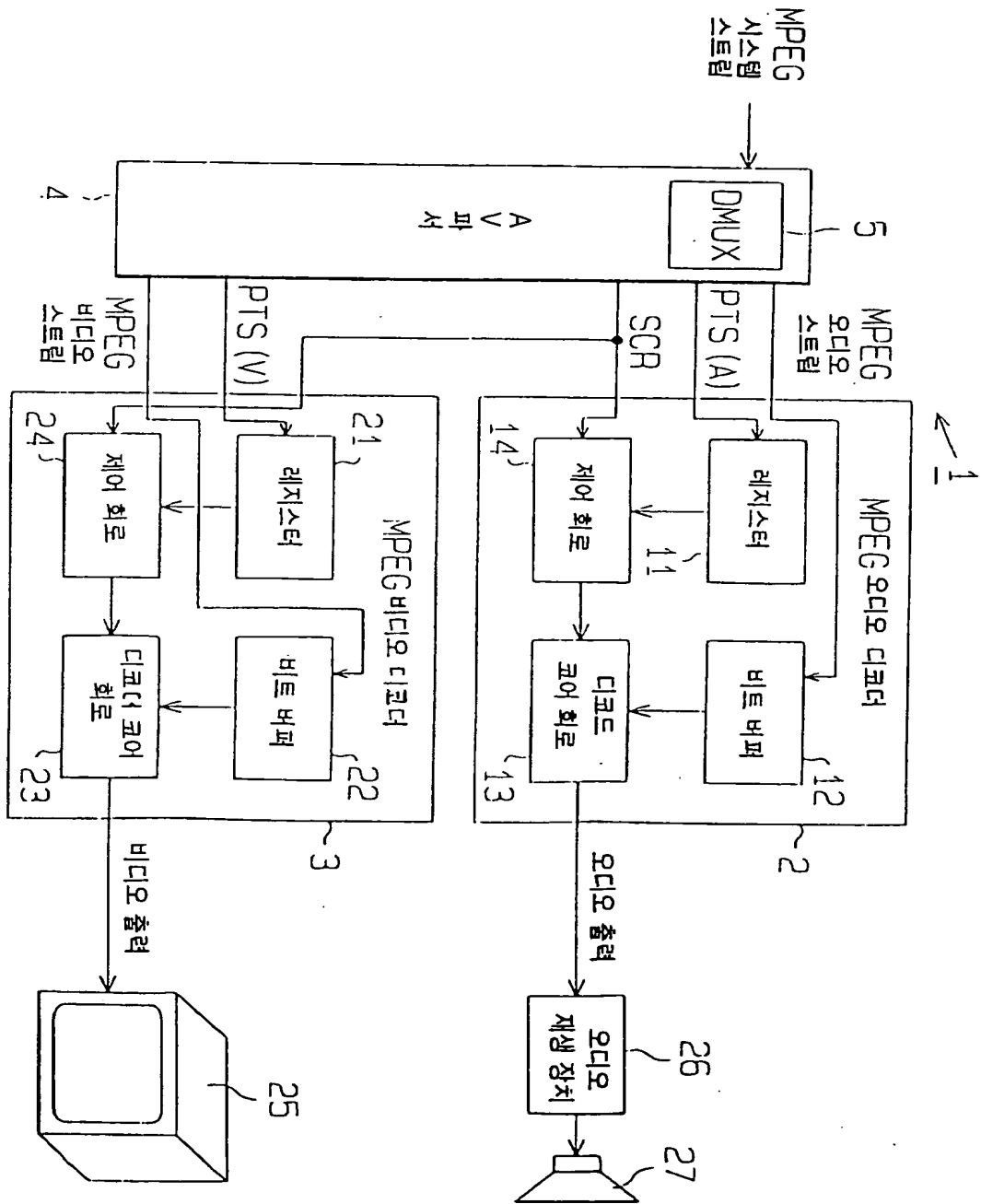
(51) Int. Cl. ⁶		(11) 등록번호	10-0189512
H04N 7 / 50		(24) 등록일자	1999년 01월 16일
(21) 출원번호	10-1995-0002999	(65) 공개번호	특 1995-0035449
(22) 출원일자	1995년 02월 17일	(43) 공개일자	1995년 12월 30일
(30) 우선권주장	94-020653 1994년 02월 17일 일본 (JP)		
	94-297346 1994년 11월 30일 일본 (JP)		
	94-317114 1994년 12월 20일 일본 (JP)		
(73) 특허권자	상요 덴기 가부시카가이시 다카노 야스아키		
	일본 오사카후 모리구치시 게이한 혼도리 2초메 5반 5고		
(72) 발명자	오까다 시게유키		
	일본국 기후켄 하시마시 후쿠주쵸 히라까다 1147-1		
	야마우찌 히데끼		
	일본국 기후켄 오가끼시 마루노우찌 2-50-1003		
(74) 대리인	구영창, 주성민		
<hr/>			
(54) MPEG 오디오 디코더, MPEG 비디오 디코더, MPEG 시스템 디코더			

요약

본 발명의 MPEG 오디오 디코더에서 디코드 처리 시간을 계산하여 이 디코드 처리 시간과, 외부로부터 전송되어 온 SCR 및 오디오의 타임 스탬프에 기초하여 오디오 출력의 재생 타이밍을 계산하고, 이 재생 타이밍에 따라 오디오 출력을 생성하는 것을 특징으로 한다.

도면





명세서

[발명의 명칭]

MPEG 오디오 디코더, MPEG 비디오 디코더, MPEG 시스템 디코더

[도면의 간단한 설명]

제1도는 제1 실시예의 블록 회로도.

제2도는 제2 실시예의 블록 회로도.

제3도는 제2 실시예의 주요부 블록 회로도.

제4도는 제2 실시예의 주요부 블록 회로도.

제5도는 제2 실시예를 설명하기 위한 설명도.

제6도는 제3 실시예의 블록 회로도.

제7도는 제3 실시예의 주요부 블록 회로도.

제8도는 제3 실시예의 주요부 블록 회로도.

제9도는 제3 실시예의 주요부 블록 회로도.

제10도는 MPEG 시스템 스트림을 설명하기 위한 설명도.

제11도는 종래 예의 블록 회로도.

* 도면의 주요부분에 대한 부호의 설명

1,31 : MPEG 시스템 디코더 2,32 : MPEG 오디오 디코더

3,33,82 : MPEG 비디오 디코더 4 : 오디오 비디오 파서

5 : DMUX 11,21 : 레지스터

12,22 : 비트 버퍼 14,24,42,83 : 제어 회로

41 : 타임 스탬프 생성 회로 84 : 리피트 판정 회로

85 : 스킵 판정 회로

[발명의 상세한 설명]

본 발명은 MPEG(Moving Picture Expert Group) 오디오 디코더, MPEG 비디오 디코더, MPEG 시스템 디코더에 관한 것이다.

멀티미디어에서 취급되는 정보는 방대한 양이고 또한 다종 다양하며 이들 정보를 고속으로 처리하는 것이 멀티미디어의 실용화를 도모하는데 점차 필요하게 된다. 정보를 고속으로 처리하기 위해서는 데이터의 압축·신장 기술이 불가결하게 된다. 이와 같은 데이터의 압축·신장 기술로서 「MPEG」 방식을 들 수 있다. 이 MPEG 방식은 ISO(International Organization for Standardization)/IEC(International Electrotechnical Commission) 산하의 MPEG 위원회(ISO/IEC JTC1/SC29/WG11)에 의해 표준화되고 있다.

MPEG는 3개의 파트로 구성되어 있다. 파트 1인 「MPEG 시스템 파트」(ISO/IEC IS 1172 Part 1 : Systems)에서는 비디오 데이터와 오디오 데이터의 다중화 구조 및 동기 방식이 규정되어 있다. 파트 2인 MPEG 비디오 파트(ISO/IEC IS 1172 Part 2 : Video)에서는 비디오 데이터의 고능률 부호화 방식 및 비디오 데이터의 포맷이 규정되어 있다. 파트 3인 「MPEG 오디오 파트」(ISO/IEC IS 1172 Part 3 : Audio)에서는 오디오 데이터의 고능률 부호화 방식 및 오디오 데이터의 포맷이 규정되어 있다.

또한 MPEG에는 주로 엔코드 레이트의 차이에 따라서 현재로는 MPEG-1, MPEG-2의 2개의 방식이 있다. MPEG 비디오 파트에

서 취급되는 비디오 데이터는 동화(動畵)에 관한 것이고, 이 동화는 1초 동안에 수십개(예를 들면, 30개)의 프레임으로 구성되어 있다. 비디오 데이터는 시퀀스(Sequence), GOP(Group Of Picture), 픽처(Pictures), 슬라이스(Slice), 매크로블럭(Macroblock), 블록의 순서로 6층의 계층 구조로 이루어져 있다. MPEG-1에서 프레임은 픽처에 대응하고 있다. MPEG-2에서는 프레임 또는 필드를 픽처에 대응하도록 할 수도 있다. 필드는 2개가 1개의 프레임을 구성하고 있다. 픽처에 프레임이 대응하고 있는 구조는 프레임 구조라고 하며 픽처에 필드가 대응하고 있는 구조는 필드 구조라고 한다.

MPEG에서는 프레임간 예측이라고 하는 압축 기술을 이용한다. 프레임간 예측은 프레임간 데이터를 시간적인 상관에 기초하여 압축한다. 프레임간 예측에서는 쌍방향 예측이 행해진다. 쌍방향 예측이란 과거의 재생 화상(또는 픽처)에서 현재의 재생 화상을 예측하는 순방향 예측과 미래의 재생 화상에서 현재의 재생 화상을 예측하는 역방향 예측을 병용하는 것이다.

이 쌍방향 예측은 I 픽처(Intra-Picture), P 픽처(Predictive-Picture), B 픽처(Bidirectionally Predictive-Picture)라고 하는 3개 타입의 픽처를 규정하고 있다. I 픽처는 과거나 미래의 재생 화상과는 무관하게 독립하여 생성된다. P 픽처는 순방향 예측(과거의 I 픽처 또는 P 픽처로부터의 예측)에 의해 생성된다. B 픽처는 쌍방향 예측에 의해 생성된다. 쌍방향 예측에서 B 픽처는 이하에 나타낸 3개의 예측중 어느 하나에 의해 생성된다. ①과거의 I 픽처 또는 P 픽처로부터의 예측, ②미래의 I 픽처 또는 P 픽처로부터의 예측, ③과거 및 미래의 I 픽처 또는 P 픽처로부터의 예측. 그리고, 이들 I, P, B 픽처가 각각 엔코드된다. 결국, I 픽처는 과거나 미래의 픽처가 없어도 생성된다. 이에 대해서, P 픽처는 과거의 픽처가 없으면 생성되지 않으며 B 픽처는 과거 또는 미래의 픽처가 없으면 생성되지 않는다.

프레임간 예측에서는 우선 I 픽처가 주기적으로 생성된다. 그 다음에 I 픽처보다도 수 프레임 앞의 프레임이 P 픽처로서 생성된다. 이 P 픽처는 과거에서 현재로의 일방향(순방향)의 예측에 의해 생성된다. 계속하여 I 픽처의 앞, P 픽처의 뒤에 위치하는 프레임이 B 픽처로서 생성된다. 이 B 픽처를 생성하는 때, 순방향 예측, 역방향 예측, 쌍방향 예측의 3개 중 최적의 예측 방법이 선택된다. 일반적으로 연속한 동화에서는 현재의 화상과 그 전후의 화상은 상당히 유사하고 다른 것은 그 일부분에 지나지 않는다. 그래서, 이전의 프레임(예를 들어, I 픽처)과 그 다음의 프레임(예를 들어, P 픽처)은 같다고 가정하고 양 프레임간에 변화가 있다면 그 차분(B 픽처)만을 추출하여 압축한다. 이것에 의해 프레임간의 데이터를 시간적인 상관에 기초하여 압축할 수 있다.

이와 같이 MPEG 비디오 파트에 준거하여 엔코드된 비디오 데이터의 데이터열(비트 스트림)은 MPEG 비디오 스트림(이하, 비디오 스트림이라고 한다)이라고 한다. 또한 MPEG 오디오 파트에 준거하여 엔코드된 오디오 데이터의 데이터열은 MPEG 오디오 스트림(이하, 오디오 스트림이라고 한다)이라고 한다. 그리고, 비디오 스트림과 오디오 스트림은 MPEG 시스템 파트에 준거하여 시분할 다중화되어 하나의 데이터열로서의 MPEG 시스템 스트림(이하, 시스템 스트림이라고 한다)으로 된다. 시스템 스트림은 멀티플렉스 스트림이라고도 한다. MPEG-1은 주로CD-ROM(Compact Disc-Read Only Memory)등의 축적 미디어에 대응하고 있으며 MPEG-2는 MPEG-1도 포함하는 폭넓은 범위의 응용 분야에 대응하고 있다.

MPEG 파트에서의 엔코드에서 디코드까지의 흐름은 이하와 같이 되어 있다. MPEG 시스템 엔코더(이하, 시스템 엔코더라고 한다)는 비디오 데이터와 오디오 데이터 각각의 연계를 유지하면서 개별적으로 엔코드를 행하여 비디오 스트림과 오디오 스트림을 생성한다. 그 다음에, MPEG 시스템 엔코더에 장착된 멀티플렉서(Multiplexer)(MUX)는 전송 매체 또는 기록 매체의 포맷에 적합하도록 비디오 스트림과 오디오 스트림의 다중화를 행하여 시스템 스트림을 생성한다. 이 시스템 스트림은 전송 매체를 매개로 MUX로부터 전송되거나 또는 기록 매체에 기록된다.

MPEG 시스템 디코더(이하, 시스템 디코더라고 한다)에 장착된 역다중화기(Demultiplexer)(DMUX)는 시스템 스트림을 비디오 스트림과 오디오 스트림으로 분리한다. 그 다음에 시스템 디코더는 각 스트림을 개별적으로 디코드하여 비디오의 디코드 출력(이하, 비디오 출력이라고 한다)과 오디오의 디코드 출력(이하, 오디오 출력이라고 한다)을 생성한다. 그리고, 비디오 출력은 디스플레이로, 오디오 출력은 I/A 변환기(Digital/Analog Converter) 및 저주파 증폭기를 거쳐 스피커로 각각 출력된다.

시스템 스트림은 복수의 팩(Pack)으로 구성되고 각 팩은 복수의 패킷(Packet)으로 구성된다. 각 패킷에는 복수의 액세스 유닛이 존재하고 있다. 액세스 유닛이라고 하는 것은 디코드 재생을 행할 때의 단위로 비디오 스트림의 경우는 1개의 픽

처에 대응하고, 오디오 스트림의 경우는 1개의 오디오 프레임에 대응한다.

시스템 엔코더는 맥의 선두에 맥 헤더를 부여하고 패킷의 선두에 패킷 헤더를 부여한다. 맥 헤더는 SCR(System Clock Reference)라고 하는 동기 재생용의 기준 시각 등의 참조 정보를 포함하고 있다. 여기에서 재생이라고 하는 것은 비디오 출력과 오디오 출력의 외부로의 출력을 의미한다.

패킷 헤더는 연속한 데이터가 비디오 데이터인가 오디오 데이터인가를 식별하기 위한 정보나 타임 스탬프(Time Stamp)(이하, TS라고 한다)라고 하는 디코드 재생의 시각을 관리하기 위한 정보를 포함한다. 패킷 길이는 전송 매체나 응용분야에 크게 의존하고 있으며, 예를 들어 ATM(Asynchronous Transfer Mode)와 같이 53 바이트로 짧은 것과, CD-ROM과 같이 4096 바이트로 긴 것이 있다. 그리고, 패킷 길이의 상한은 64K 바이트로 정해져 있다.

예를 들어, CD-ROM에서 데이터의 기록은 섹터(Sector) 단위로 연속하여 행하여지고, 그 데이터의 판독은 CD-ROM 플레이어에 의해 매초 75 섹터의 일정 속도로 행해진다. CD-ROM에서 각 섹터는 각각 1개의 맥에 대응하고 맥과 패킷은 같다.

시스템 엔코더는 패킷 중에 액세스 유닛의 선두가 있는 경우 패킷 헤더에 그 액세스 유닛에 대응하는 TS를 부가하고, 패킷 중에 액세스 유닛의 선두가 없는 경우 TS를 부가하지 않는다. 또한, 시스템 엔코더는 패킷 중에 2개 이상의 액세스 유닛의 선두가 있는 경우 패킷 헤더에 최초의 액세스 유닛에 대응하는 TS만을 부가한다.

TS에는 PTS(Presentation Time Stamp)와 DTS(Decoding Time Stamp)의 2종류가 있다. MPEG 시스템 파트는 STD(System Target Decoder)라고 하는 가상적인 기준 디코더에 의해 디코드의 표준을 규정하고 있다. STD의 기준 클럭이 되는 것은 STC(System Time Clock)라고 하는 동기 신호이다.

PTS는 재생 출력의 시각을 관리하기 위한 정보이다. 이 PTS의 정도(精度)는 90KHz의 클럭으로 계측한 값이 32 비트 길이로 표현된다. 시스템 디코더는 PTS와 STC가 일치한 때에 그 PTS가 부가되어 있는 액세스 유닛을 디코드하여 재생 출력을 생성한다.

상기한 바와 같이 MPEG 비디오 파트에서는 프레임간 예측 기술을 사용하기 때문에, I 픽처와 P 픽처는 B 픽처보다도 선행하여 비디오 스트림으로써 송출된다. 이 때문에, 시스템 디코더는 비디오 스트림을 수신하게 되면, 그 비디오 스트림의 각 픽처의 선두에 붙여진 픽처 헤더에 기초하여 픽처의 순서를 원래의 순서로 바꾸어 디코드해서 비디오 출력을 생성한다. DTS(Decoding time Stamp)는 픽처의 순서를 바꾼 이후의 디코드 개시 시각을 관리하기 위한 정보이다. 시스템 엔코더는 PTS와 DTS가 다른 경우에 그 양방을 패킷 헤더에 부가하고 일치하는 경우에는 PTS만을 부가한다. 구체적으로는 B 픽처가 있는 비디오 스트림에서, I 픽처와 P 픽처가 존재하는 패킷에는 PTS와 DTS의 양방이 부가되고, B 픽처가 존재하는 패킷에는 PTS만이 부가된다. 또한, B 픽처가 없는 비디오 스트림에서는 PTS만이 부가된다.

SCR은 STC의 값을 시스템 엔코더에서 의도된 값으로 세트하거나 교정하거나 하기 위한 정보이다. 이 SCR의 정도는 MPEG-1에서는 90KHz의 클럭으로 계측한 값이 32 비트 길이로 표현되고, MPEG-2에서는 27KHz의 클럭으로 계측한 값이 42 비트 길이로 표현된다. SCR은 MPEG-1에서는 5 바이트로, MPEG-2에서는 6바이트로 전송되며, 시스템 디코더는 그 최종 바이트의 도착 순간에 SCR의 값에 따라서 STC를 세트한다.

제10(a)도는 시스템 스트림의 일예를 나타낸다. 1개의 맥은 패킷 헤더 H 및 각 패킷 V1, V2, A1, ..., V6, V7로 구성된다. 패킷은 비디오 데이터의 각 패킷 V1~V7과 오디오 데이터의 각 패킷 A1~A3을 포함한다. 이들의 패킷은 비디오 데이터 및 오디오 데이터의 한쪽에 대해서 본다면 번호순으로 되어 있지만 비디오 데이터 패킷 및 오디오 데이터 패킷은 상대방에 혼재되어 있다. 예를 들어, 비디오 데이터의 패킷 V1, V2의 다음에는 오디오 데이터의 패킷 A1이 계속되고 그 다음에는 비디오 데이터의 패킷 V3이 계속되며 또한 그 후에는 오디오 데이터의 패킷 A2, A3가 계속하여 있다. 여기에서, 맥 헤더 H에는 SCR이, 패킷 V1의 패킷 헤더에는 PTS(V1)가, 패킷 A1의 패킷 헤더에는 PTS(A1)가, 패킷 V6의 패킷 헤더에는 PTS(V6)가 각각 부가되어 있다. 따라서, 제10(b)도에 나타낸 바와 같이 각 패킷 V1~V5에서 액세스 유닛 α 가, 제10(c)도에 나타낸 바와 같이 각 패킷 A1~A3에서 액세스 유닛 β 가, 제10(d)도에 나타낸 바와 같이 각 패킷 V6, V7에서 액세스 유닛 γ 가 구성된다. 이 경우, 액세스 유닛 α , γ 는 각각 1개의 픽처에 대응하고, 액세스 유닛 β 는 1개의 오디오 프레임에 대응하고 있다. 또한, 제10(a)도~제10(d)도에서는 DTS에 대해서는 생략하고 있다.

제11도는 종래의 시스템 디코더(111)의 블록 회로를 도시한다. 시스템 디코더(111)는 MPEG 오디오 디코더(112), MPEG 비디오 디코더(113) 및 오디오 비디오파서(AV parser:114)로 구성된다. AV 파서(114) 내에는 역다중화기(Demultiplexer:DMUX:115)를 구비하고 있다.

AV 파서(114)는 외부에서 전송되어 온 시스템 스트림을 입력한다. DMUX(115)는 시스템 스트림의 패킷 헤더에 기초하여 시스템 스트림을 비디오 스트림과 오디오 스트림으로 분리한다. 즉, 제10(a)도에 나타난 시스템 스트림은 비디오 데이터의 각 패킷 V1~V7로 구성되는 비디오 스트림과 오디오 데이터의 각 패킷 A1~A3으로 구성되는 오디오 스트림으로 분리된다.

또한, AV 파서(114)는 시스템 스트림으로부터 SCR, 오디오의 PTS(이하, PTS(A)라고 한다), 비디오의 PTS(이하, PTS(V)라고 한다)를 각각 분리한다. 그리고, AV 파서(114)는 오디오 스트림, SCR, PTS(A)를 각각 오디오 디코더(112)로 출력하고, 비디오 스트림, SCR, PTS(V)를 각각 비디오 디코더(113)로 출력한다.

오디오 디코더(112)는 오디오 스트림을 MPEG 오디오 파트에 준거하여 디코드하고 오디오 출력을 생성한다. 비디오 디코더(113)는 비디오 스트림을 MPEG 비디오 파트에 준거하여 디코드하고 비디오 출력을 생성한다. 비디오 출력은 디스플레이(116)로, 오디오 출력은 I/A 변환기 및 저주파 증폭기를 구비한 오디오 재생 장치(117)를 거쳐 스피커(118)로 각각 출력된다.

여기에서, 오디오 디코더(112) 및 비디오 디코더(113)는 각각 SCR 과 PTS에 기초하여 오디오 출력과 비디오 출력의 동기 재생을 행한다. 즉, 오디오 디코더(112)는 SCR 과 PTS(A) (PTS(A1))에 기초하여 오디오 출력의 재생 시각(재생 타이밍)을 설정하고 제10(c)도에 나타난 바와 같이 액세스 유닛 β 의 재생을 시각 t_2 에서 개시한다. 비디오 디코더(113)는 SCR 과 PTS(V) (PTS(V1), PTS(V6))에 기초하여 비디오 출력의 재생 시각(재생 타이밍)을 설정하고 제10(b)도 및 제10(d)도에 나타난 바와 같이 각 액세스 유닛 α , γ 의 재생을 각 시각 t_1 , t_3 에서 개시한다. 이때, 오디오 디코더(112)에서의 오디오 출력의 재생 시각의 설정과 비디오 디코더(113)에서의 비디오 출력의 재생 시각의 설정은 각 PTS(A), PTS(V)에 따라서 각각 개별적으로 행해진다.

오디오 출력과 비디오 출력의 동기 재생에 있어서는 립 싱크를 고려할 필요가 있다. 립 싱크라고 하는 것은 디스플레이에 영출(映出)된 인물의 입의 움직임과 음성 of 동기가 취해지는 것을 말한다. 입의 움직임보다도 음성 쪽이 빠르게 되거나 역으로 느리게 되거나 하는 상태를 립 싱크에 차이가 있다고 말한다. 립 싱크의 차이는 인간의 청각의 감지 한계 이하라면 문제되지 않는다. 그러나, 감지 한계 이상이라면 시청자는 위화감을 느낀다. 일반적으로 립 싱크의 차이의 감지 한계는 약 수 밀리초라고 한다.

제11도에 도시한 종래의 시스템 디코더(111)에서는 립 싱크를 충분히 달성할 수 없다. 이 원인은 STD(기준 디코더)의 디코드 처리 시간, 즉 STD의 내부 지연 시간을 영(zero)으로 가정하기 때문이다. 실제의 오디오 디코더(112) 및 비디오 디코더(113)의 디코드 처리 시간은 극히 짧지만 0은 아니다. 그 디코드 처리 시간(내부 지연 시간)은 각 디코더(112, 113)에서 다를 뿐만 아니라 처리되는 액세스 유닛의 데이터 양에 따라라도 다르다. 예를 들어, 제10(b)도~제10(d)도에 도시한 바와 같은 각 액세스 유닛 $\alpha \sim \gamma$ 를 구성하는 패킷의 수는 통상 다르기 때문에 각 패킷의 패킷 길이도 반드시 같지는 않다. 따라서, 통상 각 액세스 유닛 $\alpha \sim \gamma$ 의 데이터 양은 다르게 된다.

그래서, 상기한 결점을 극복하기 위하여, PTS(V)와 PTS(A)의 차분의 산출 결과에 따라서 비디오 출력 또는 오디오 출력 중 어느 하나를 지연시킴으로써 양자의 동기를 도모하는 방법이 제안되고 있다. 그러나, 이 방법은 비디오 출력 또는 오디오 출력을 지연시키기 위한 지연 메모리를 필요로 한다. 이것은 회로 규모의 확대와 및 단가의 증대를 초래한다. 게다가, 지연 메모리의 정확한 제어는 곤란하다고 여겨지고 있다. 만약 그 제어를 AV 파서(114)가 행한다고 한다면 AV 파서(114)에 대한 소프트웨어적인 부하를 과중하게 하여 AV 파서(114)의 동작에 지장을 초래한다.

본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로 이하의 목적을 가지고 있다.

1) 오디오 출력이 재생되는 타이밍을 정확히 얻을 수 있는 MPEG 오디오 디코더를 제공한다.

2) 비디오 출력이 재생되는 타이밍을 정확히 얻을 수 있는 MPEG 비디오 디코더를 제공한다.

3) 오디오 출력과 비디오 출력의 동기를 충분히 달성할 수 있는 MPEG 시스템 디코더를 제공한다.

본 발명에 따르면, MPEG 오디오 디코더에서 디코드 처리 시간을 계산하여 이 디코드 처리 시간과, 외부로부터 전송되어 온 SCR(system clock reference) 및 오디오의 타임 스탬프(time stamp)에 기초하여 오디오 출력의 재생 타이밍을 계산하고, 이 재생 타이밍에 따라 오디오 출력을 생성하는 것을 그 요지로 한다.

본 발명에 따르면, MPEG 비디오 디코더에서 디코드 처리 시간을 계산하여 이 디코드 처리 시간과, 외부로부터 전송되어 온 SCR 및 비디오의 타임 스탬프에 기초하여 비디오 출력의 재생 타이밍을 계산하고, 이 재생 타이밍에 따라 비디오 출력을 생성하는 것을 그 요지로 한다.

본 발명에 따르면, 외부로부터 전송되어 온 MPEG 시스템 스트림에 대하여 MPEG 시스템 스트림의 패킷 헤더(packet header)에 기초하여 MPEG 시스템 스트림을 MPEG 비디오 스트림과 MPEG 오디오 스트림으로 분리하는 역다중화기와, MPEG 시스템 스트림으로부터 SCR과 오디오의 타임 스탬프와 비디오의 타임 스탬프를 각각 분리하는 분리 수단과, MPEG 오디오 디코더에서 디코드 처리 시간을 계산하여 이 디코드 처리 시간과, 분리 수단으로부터 전송되어 온 SCR 및 오디오의 타임 스탬프에 기초하여 오디오 출력의 재생 타이밍을 계산하고, 이 재생 타이밍에 따라 오디오 출력을 생성하는 MPEG 오디오 디코더 및 MPEG 비디오 디코더에서 디코드 처리 시간을 계산하여 이 디코드 처리 시간과, 분리 수단으로부터 전송되어 온 SCR 및 비디오의 타임 스탬프에 기초하여 비디오 출력의 재생 타이밍을 계산하고, 이 재생 타이밍에 따라 비디오 출력을 생성하는 MPEG 비디오 디코더를 구비한 것을 그 요지로 한다.

본 발명에 따르면, 오디오의 타임 스탬프를 순차 축적하는 레지스터와, 오디오 스트림을 순차 축적하는 비트 버퍼와, 비트 버퍼로부터 판독된 오디오 스트림을 MPEG 오디오 파트(part)에 준거하여 디코드하고 오디오 출력을 생성하는 디코드 코어 회로 및 MPEG 오디오 디코더에서 디코드 처리 시간을 계산하고, 이 디코드 처리 시간과, 외부로부터 전송되어 온 SCR과, 레지스터로부터 판독된 오디오의 타임 스탬프에 기초하여 오디오 출력의 재생 타이밍을 계산하고, 이 재생 타이밍에 따라 디코드 코어 회로를 제어하는 제어 회로를 구비한 것을 그 요지로 한다.

본 발명에 따르면, 비디오의 타임 스탬프를 순차 축적하는 레지스터와, 비디오 스트림을 순차 축적하는 비트 버퍼와, 비트 버퍼로부터 판독된 비디오 스트림을 MPEG 비디오 파트에 준거하여 디코드하고 비디오 출력을 생성하는 디코드 코어 회로 및 MPEG 비디오 디코더에서 디코드 처리 시간을 계산하고, 이 디코드 처리 시간과, 외부로부터 전송되어 온 SCR과, 레지스터로부터 판독된 비디오의 타임 스탬프에 기초하여 비디오 출력의 재생 타이밍을 계산하며 이 재생 타이밍에 따라 디코드 코어 회로를 제어하는 제어 회로를 구비한 것을 그 요지로 한다.

본 발명에 따르면, 외부로부터 전송되어 온 오디오의 타임 스탬프를 순차 축적하는 레지스터와, 외부로부터 전송되어 온 오디오 스트림을 순차 축적하는 비트 버퍼와, 비트 버퍼로부터 판독된 오디오 스트림을 MPEG 오디오 파트에 준거하여 디코드하고 오디오 출력을 생성하는 디코드 코어 회로 및 MPEG 오디오 디코더에서 디코드 처리 시간을 계산하고, 이 디코드 처리 시간과, 외부로부터 전송되어 온 SCR과, 레지스터로부터 판독된 오디오의 타임 스탬프에 기초하여 오디오 출력의 재생 타이밍을 계산하며, 이 재생 타이밍에 따라 디코드 코어 회로를 제어하는 제어회로를 구비한 것을 그 요지로 한다.

본 발명에 따르면, 외부로부터 전송되어 온 비디오의 타임 스탬프를 순차 축적하는 레지스터와, 외부로부터 전송되어 온 비디오 스트림을 순차 축적하는 비트 버퍼와, 비트 버퍼로부터 판독된 비디오 스트림을 MPEG 비디오 파트에 준거하여 디코드하고 비디오 출력을 생성하는 디코드 코어 회로 및 MPEG 비디오 디코더에서 디코드 처리 시간을 계산하고, 이 디코드 처리 시간과, 외부로부터 전송되어 온 SCR과, 레지스터로부터 판독된 비디오의 타임 스탬프에 기초하여 비디오 출력의 재생 타이밍을 계산하며 이 재생 타이밍에 따라 디코드 코어 회로를 제어하는 제어 회로를 구비한 것을 그 요지로 한다.

본 발명에 따르면, 외부로부터 전송되어 온 MPEG 시스템 스트림에 대하여 MPEG 시스템 스트림의 패킷 헤더에 기초하여 MPEG 시스템 스트림을 MPEG 비디오 스트림과 MPEG 오디오 스트림으로 분리하는 역다중화기와, MPEG 시스템 스트림으로부터 SCR과 오디오의 타임 스탬프와 비디오의 타임 스탬프를 각각 분리하는 분리 수단과, 오디오 레지스터와 오디오 비트 버퍼와 오디오 디코드 코어 회로와 오디오 제어 회로로 구성된 MPEG 오디오 디코더 및 비디오 레지스터와 비디오 비트 버

퍼와 비디오 디코드 코어 회로와 비디오 제어 회로로 구성된 MPEG 비디오 디코더를 구비한 MPEG 시스템 디코더에 있어서, 상기 오디오 레지스터는 분리 수단으로부터 전송되어 온 오디오의 타임 스탬프를 순차 축적하고, 상기 오디오 비트 버퍼는 역다중화기로부터 전송되어 온 오디오 스트림을 순차 축적하며, 상기 오디오 디코드 코어 회로는 비트 버퍼로부터 판독된 오디오 스트림을 MPEG 오디오 파트에 준거하여 디코드하여 오디오 출력을 생성하고, 상기 오디오 제어 회로는 MPEG 오디오 디코더에서 디코드 처리 시간을 계산하고, 이 디코드 처리 시간과, 분리 수단으로부터 전송되어 온 SCR과, 레지스터로부터 판독된 오디오의 타임 스탬프에 기초하여 오디오 출력의 재생 타이밍을 계산해서 이 재생 타이밍에 따라 디코드 코어 회로를 제어하며, 상기 비디오 레지스터는 분리수단으로부터 전송되어 온 비디오의 타임 스탬프를 순차 축적하고, 상기 비디오 비트 버퍼는 역다중화기로부터 전송되어 온 비디오 스트림을 순차 축적하며, 상기 비디오 디코드 코어 회로는 비트 버퍼로부터 판독된 비디오 스트림을 MPEG 비디오 파트에 준거하여 디코드하여 비디오 출력을 생성하고, 상기 비디오 제어 회로는 MPEG 비디오 디코더에서 디코드 처리 시간을 계산하고, 이 디코드 처리 시간과, 분리 수단으로부터 전송되어 온 SCR과, 레지스터로부터 판독된 비디오의 타임 스탬프에 기초하여 비디오 출력의 재생 타이밍 계산하며, 이 재생 타이밍에 따라 디코드 코어 회로를 제어하는 것을 그 요지로 한다.

본 발명에 따르면, FIFO 구성이고 외부로부터 전송되어 온 오디오의 타임 스탬프를 순차 축적하는 레지스터와, FIFO 구성의 RAM으로 이루어져 있고, 외부로부터 전송되어 온 오디오 스트림을 순차 축적하는 비트 버퍼와, 비트 버퍼로부터 판독된 오디오 스트림을 MPEG 오디오 파트에 준거하여 디코드하고 오디오 출력을 생성하는 디코드 코어 회로 및 비트 버퍼로부터 오디오 스트림이 판독되는데, 필요한 시간과 디코드 코어 회로에서의 디코드 처리 시간으로부터 MPEG 오디오 디코더에서의 디코드 처리 시간을 계산하고, 이 디코드 처리 시간과, 외부로부터 전송되어 온 SCR과, 레지스터로부터 판독된 오디오의 타임 스탬프에 기초하여 오디오 출력의 재생 타이밍을 계산하며, 이 재생 타이밍에 따라 디코드 코어 회로를 제어하는 제어회로를 구비한 것을 그 요지로 한다.

본 발명에 따르면, FIFO 구성이고 외부로부터 전송되어 온 비디오의 타임 스탬프를 순차 축적하는 레지스터와, FIFO 구성의 RAM으로 이루어져 있고, 외부로부터 전송되어 온 비디오 스트림을 순차 축적하는 비트 버퍼와, 비트 버퍼로부터 판독된 비디오 스트림을 MPEG 비디오 파트에 준거하여 디코드하고 비디오 출력을 생성하는 디코드 코어 회로 및 비트 버퍼로부터 비디오 스트림이 판독되는데 필요한 시간과 디코드 코어 회로에서의 디코드 처리 시간으로부터 MPEG 비디오 디코더에서의 디코드 처리 시간을 계산하며, 이 디코드 처리 시간과, 외부로부터 전송되어 온 SCR과, 레지스터로부터 판독된 비디오의 타임 스탬프에 기초하여 비디오 출력의 재생 타이밍을 계산하고, 이 재생 타이밍에 따라 디코드 코어 회로를 제어하는 제어회로를 구비한 것을 그 요지로 한다.

본 발명에 따르면, 패킷 헤더에 기초하여 MPEG 시스템 스트림을 MPEG 비디오 스트림과 MPEG 오디오 스트림으로 분리하는 역다중화기와, MPEG 시스템 스트림으로부터 SCR과 오디오의 타임 스탬프와 비디오의 타임 스탬프를 각각 분리하는 분리 수단과, 오디오 레지스터와 오디오 비트 버퍼와 오디오 디코드 코어 회로와 오디오 제어 회로로 구성된 MPEG 오디오 디코더 및 비디오 레지스터와 비디오 비트 버퍼와 비디오 디코드 코어 회로와 비디오 제어 회로로 구성된 MPEG 비디오 디코더를 구비한 MPEG 시스템 디코더에 있어서, 상기 오디오 레지스터는 FIFO 구성이고 분리 수단으로부터 전송되어 온 오디오의 타임 스탬프를 순차 축적하고, 상기 오디오 비트 버퍼는 FIFO 구성의 RAM으로 이루어져 있으며, 역다중화기로부터 전송되어 온 오디오 스트림을 순차 축적하며, 상기 오디오 디코드 코어 회로는 비트 버퍼로부터 판독된 오디오 스트림을 MPEG 오디오 파트에 준거해서 디코드하여 오디오 출력을 생성하고, 상기 오디오 제어 회로는 비트 버퍼로부터 오디오 스트림이 판독되는데 필요한 시간과, 디코드 코어 회로에서의 디코드 처리 시간으로부터 MPEG 오디오 디코더에서의 디코드 처리 시간을 계산하며, 이 디코드 처리 시간과, 분리 수단으로부터 전송되어 온 SCR과, 레지스터로부터 판독된 오디오의 타임 스탬프에 기초하여 오디오 출력의 재생 타이밍을 계산하여 이 재생 타이밍에 따라 디코드 코어 회로를 제어하며, 상기 비디오 레지스터는 FIFO 구성이고 분리수단으로부터 전송되어 온 비디오의 타임 스탬프를 순차 축적하고, 상기 비디오 비트 버퍼는 FIFO 구성의 RAM으로 이루어져 있으며 역다중화기로부터 전송되어 온 비디오 스트림을 순차 축적하고, 상기 비디오 디코드 코어 회로는 비트 버퍼로부터 판독된 비디오 스트림을 MPEG 비디오 파트에 준거해서 디코드하여 비디오 출력을 생성하며, 상기 비디오 제어 회로는 비트 버퍼로부터 비디오 스트림이 판독되는데 필요한 시간과 디코드 코어 회로에서의 디코드 처리 시간으로부터 MPEG 비디오 디코더에서의 처리 시간을 계산하고, 이 디코드 처리 시간과, 분리 수단으로부터 전송되어 온 SCR과, 레지스터로부터 판독된 비디오의 타임 스탬프에 기초하여 비디오 출력의 재생 타이밍을 계산하며, 이 재생 타이밍에 따라 디코드 코어 회로를 제어하는 것을 그 요지로 한다.

본 발명에 따르면, 비디오 출력이 재생되는 타이밍을 오디오 출력이 재생되는 타이밍에 맞추어 조정하는 것을 그 요지로 한다.

본 발명에 따르면, MPEG 비디오 디코더로부터 출력된 비디오 출력이 재생되는 타이밍을 MPEG 오디오 디코더로부터 출력된 오디오 출력이 재생되는 타이밍에 맞추어 조정하는 것을 그 요지로 한다.

본 발명에 따르면, MPEG 오디오 디코더 및 MPEG 비디오 디코더의 내부 지연 시간에 기초하여 MPEG 오디오 디코더로부터 출력된 오디오 출력이 재생되는 타이밍을 조정하는 것을 그 요지로 한다.

본 발명에 따르면, MPEG 오디오 디코더 및 MPEG 비디오 디코더의 내부 지연 시간에 기초하여 MPEG 비디오 디코더로부터 출력되는 비디오 출력을 스킵하거나 또는 리피트시키는 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 오디오 디코더는 오디오 비트 버퍼의 내부지연 시간과 오디오 디코드 코어 회로의 내부 지연 시간과 오디오 레지스터로부터 판독된 오디오의 타임 스탬프에 기초하여 제2의 타임 스탬프를 생성하고, 상기 비디오 제어 회로는 비디오의 타임 스탬프와 픽처의 맵핑을 행하고 비디오 디코드 코어회로의 내부 지연 시간과 비디오 레지스터로부터 판독된 비디오의 타임 스탬프와 제2의 타임 스탬프에 기초하여 비디오 디코드 코어 회로에 스킵 동작 또는 리피트 동작을 행하도록 하는 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 오디오 디코더는 오디오 비트 버퍼의 내부 지연 시간과 오디오 디코드 코어 회로의 내부 지연 시간과 오디오 레지스터로부터 판독된 오디오의 타임 스탬프에 기초하여 오디오의 타임 스탬프로부터 각 내부 지연 시간의 합을 감산하여 제2의 타임 스탬프를 생성하고, 상기 비디오 제어 회로는 비디오의 타임 스탬프와 픽처의 맵핑을 행하여 비디오 디코드 코어 회로의 내부 지연 시간과 비디오 레지스터로부터 판독된 비디오의 타임 스탬프와 제2의 타임 스탬프에 기초하여 비디오 디코드 코어 회로에 스킵 동작 또는 리피트 동작을 행하도록 하기 위한 제어 신호를 생성하며, 상기 비디오 디코드 코어 회로에서는 스킵 동작에서 비디오 비트 버퍼로부터 전송되어 오는 픽처가 폐기되고, 이 폐기된 픽처에 대해서는 디코드가 행해지지 않으며, 리피트 동작에서 비디오 비트 버퍼로부터 전송되어 온 픽처의 비디오 출력이 계속 출력되는 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 오디오 디코더는 지연 시간 산출 회로와 오디오 감산 회로를 구비한 타임 스탬프 생성 회로를 구비하고 있으며, 상기 지연 시간 산출 회로는 오디오 비트 버퍼의 내부 지연 시간을 산출하고, 상기 오디오 감산 회로는 오디오 비트 버퍼의 내부 지연 시간과 오디오 디코드 코어 회로의 내부 지연 시간과 오디오 레지스터로부터 판독된 오디오의 타임 스탬프에 기초하여 오디오의 타임 스탬프로부터 각 내부 지연 시간의 합을 감산하여 제2의 타임 스탬프를 생성하며, 상기 비디오 제어 회로는 기록 어드레스 검출 회로와 판독 어드레스 검출회로와 픽처 헤더 검출 회로와 맵핑 회로와 제2의 레지스터와 동기 판정 회로와 제1 및 제2의 비교 처리 회로와 비디오 감산 회로를 구비하고 있고, 상기 기록 어드레스 검출 회로는 외부로부터 전송되어 온 비디오 스트림에서의 비디오의 타임 스탬프가 부가되어 있는 패킷이 비디오 비트 버퍼에 기입되는 때에 이 패킷의 비디오 비트 버퍼에서의 어드레스를 검출하며, 상기 비디오 레지스터는 기록 어드레스 검출 회로에 의해 검출된 어드레스와 비디오의 타임 스탬프를 대응시켜 순차 축적하고, 상기 판독 어드레스 검출 회로는 비디오 비트 버퍼로부터 판독된 비디오 스트림의 어드레스를 검출하며, 상기 픽처 헤더 검출 회로는 비디오 비트 버퍼에 기입된 비디오 스트림의 각 픽처의 선두에 붙은 픽처 헤더를 검출하여 이 픽처 헤더에 규정되어 있는 픽처의 타입을 검출하고, 상기 제1의 비교 처리 회로는 비디오 비트 버퍼로부터 판독된 비디오 스트림의 어드레스와, 비디오 레지스터로부터 판독된 비디오의 타임 스탬프에 대응하는 어드레스를 비교하여 양 어드레스가 일치하는가 여부를 검출하며, 상기 맵핑 회로는 제1의 비교 처리 회로 및 픽처 헤더 검출 회로의 검출 결과에 기초하여 비디오의 타임 스탬프와 픽처의 맵핑을 행하고, 상기 제2의 레지스터는 프레임간 예측 기술에 따라 픽처 헤더 검출 회로에 의해 검출된 픽처의 타입에 기초하여 I 픽처 또는 P 픽처에 대응하는 비디오의 타임 스탬프를 B 픽처에 대응하는 비디오의 타임 스탬프로 교체하며, 상기 비디오 감산 회로는 비디오 디코드 코어 회로의 내부 지연 시간과 제2의 레지스터로부터 판독된 비디오의 타임 스탬프와 타임 스탬프 생성 회로로부터 생성된 제2의 타임 스탬프에 기초하여 제2의 타임 스탬프로부터 비디오 디코드 코어 회로의 내부 지연 시간과 비디오의 타임 스탬프를 감산한 값을 생성하고, 상기 제2의 비교 처리 회로는 소정값과 비디오 감산 회로가 생성한 값을 비교하며, 상기 동기 판정 회로는 맵핑 회로에 의해 비디오의 타임 스탬프와 픽처의 맵핑이 행해지게 되면, 제2의 비교 처리 회로의 비교 결과에 기초하여 비디오 디코드 코어 회로에 스킵 동작 또는 리피트 동작을 행

하도록 하기 위한 제어 신호를 생성하고, 상기 비디오 디코드 코어 회로에서는 스킵 동작에서 비디오 비트 버퍼로부터 전송되어 오는 픽처가 폐기되고, 이 폐기된 픽처에 대하여는 디코드가 행해지지 않으며, 리피트 동작에서 비디오 비트 버퍼로부터 전송되어 온 픽처의 비디오 출력이 계속 출력되는 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 오디오 디코더는 지연 시간 산출 회로와 오디오 감산 회로와 가산 회로와 샘플링 주파수 검출 회로를 구비한 타임 스탬프 생성 회로를 구비하고 있으며, 상기 지연 시간 산출 회로는 오디오 비트 버퍼의 내부 지연 시간을 산출하고, 상기 오디오 감산 회로는 오디오 비트 버퍼의 내부 지연 시간과 오디오 디코드 코어 회로의 내부 지연 시간과 오디오 레지스터로부터 판독된 오디오의 타임 스탬프에 기초하여 오디오의 타임 스탬프로부터 각 내부 지연 시간의 합을 감산한 값을 생성하며, 상기 샘플링 주파수 검출 회로는 오디오 스트림으로부터 오디오 데이터의 샘플링 주파수를 검출하여 이 샘플링 주파수에 대응한 클럭을 생성하고, 상기 가산 회로는 오디오 감산 회로가 생성한 값과 상기 클럭을 가산하여 제2의 타임 스탬프를 생성하며, 상기 비디오 제어 회로는 기록 어드레스 검출 회로와 판독 어드레스 검출 회로와 픽처 헤더 검출 회로와 맵핑 회로와 제2의 레지스터와 동기 판정 회로와 제1 및 제2의 비교 처리 회로와 제1 및 제2의 비디오 감산 회로를 구비하고 있으며, 상기 기록 어드레스 검출 회로는 외부로부터 전송되어 온 비디오 스트림에서 비디오의 타임 스탬프가 부가되어 있는 패킷이 비디오 비트 버퍼에 기입되는 때에 이 패킷의 비디오 비트 버퍼에서의 어드레스를 검출하고, 상기 비디오 레지스터는 기록 어드레스 검출 회로에 의해 검출된 어드레스와 비디오의 타임 스탬프를 대응시켜 순차 축적하며, 상기 판독 어드레스 검출 회로는 비디오 비트 버퍼로부터 판독된 비디오 스트림의 어드레스를 검출하고, 상기 픽처 헤더 검출 회로는 비디오 비트 버퍼에 기입된 비디오 스트림의 각 픽처의 선두에 붙은 픽처 헤더를 검출하여 이 픽처 헤더에 규정되어 있는 픽처의 타입을 검출하며, 상기 제1의 비교 처리 회로는 비디오 비트 버퍼로부터 판독된 비디오 스트림의 어드레스와 비디오 레지스터로부터 판독된 비디오의 타임 스탬프에 대응하는 어드레스를 비교하여 양 어드레스가 일치하는가 여부를 검출하고, 상기 맵핑 회로는 제1의 비교 처리 회로 및 픽처 헤더 검출 회로의 검출 결과에 기초하여 비디오의 타임 스탬프와 픽처의 맵핑을 행하며, 상기 제2의 레지스터는 1단의 스택으로 구성되고, 프레임 간 예측 기술에 따라 픽처 헤더 검출 회로에 의해 검출된 픽처의 타입에 기초하여 I 픽처 또는 P 픽처에 대응하는 비디오의 타임 스탬프를 B 픽처에 대응하는 비디오의 타임 스탬프와 교체하고, 상기 제1의 비디오 감산 회로는 비디오 디코드 코어 회로의 내부 지연 시간과 외부로부터 지정된 제1의 값과 제2의 레지스터로부터 판독된 비디오의 타임 스탬프에 기초하여 비디오의 타임 스탬프로부터 내부 지연 시간과 외부로부터 지정된 제1의 값의 합을 감산한 값을 생성하고, 상기 제2의 비디오 감산 회로는 타임 스탬프 생성 회로로부터 생성된 제2의 타임 스탬프로부터 제1의 비디오 감산 회로가 생성한 값을 감산한 값을 생성하며, 상기 제2의 비교 처리 회로는 외부로부터 지정된 제2의 값과 제2의 비디오 감산 회로가 생성한 값을 비교하고, 상기 동기 판정 회로는 맵핑 회로에 의해 비디오의 타임 스탬프와 픽처의 맵핑이 행해지게 되면, 제2의 비교 처리 회로의 비교 결과에 기초하여 비디오 디코드 코어 회로에 스킵 동작 또는 리피트 동작을 행하도록 하기 위한 제어 신호를 생성하며, 상기 비디오 디코드 코어 회로에서는 스킵 동작에서 비디오 비트 버퍼로부터 전송되어 오는 픽처가 폐기되고, 이 폐기된 픽처에 대해서는 디코드가 행해지지 않으며, 리피트 동작에서 비디오 비트 버퍼로부터 전송되어 온 픽처의 비디오 출력이 계속 출력되는 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 비디오 제어 회로로부터 생성되는 비디오 디코드 코어 회로에 스킵 동작 또는 리피트 동작을 행하도록 하기 위한 제어 신호의 오류를 판정하여 보정하는 스킵 판정 회로 또는 리피트 판정 회로를 구비한 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 비디오 제어 회로로부터 생성되는 비디오 디코드 코어 회로에 스킵 동작을 행하도록 하기 위한 제어 신호가 일정 횟수 이상 연속하여 생성된 때에 이 제어 신호를 유효화하는 제1의 스킵 유효화 수단을 구비한 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 비디오 제어 회로로부터 생성되는 비디오 디코드 코어 회로에 리피트 동작을 행하도록 하기 위한 제어 신호가 일정 횟수 이상 연속하여 생성된 때에 그 제어 신호를 유효화하는 제1의 리피트 유효화 수단을 구비한 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 비디오 제어 회로로부터 생성되는 비디오 디코드 코어 회로에 스킵 동작을 행하도록 하기 위한 제어 신호가 생성되고 나서 일정 시간 후에 그 제어 신호를 유효화하는 제2의 스킵 유효화 수단을 구비한 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 비디오 제어 회로로부터 생성되는 비디오 디코드 코어 회로에 리피트 동작을 행하도록 하기 위한 제어 신호가 생성되고 나서 일정 시간 후에 그 제어 신호를 유효화하는 제2의 리피트 유효화 수단을 구비한 것을 그 요지로 한다.

본 발명에 따르면, 상기 MPEG 비디오 제어 회로로부터 생성되는 비디오 디코드 코어 회로에 스킵 동작을 행하도록 하기 위한 제어 신호가 일정 횟수 이상 연속하여 생성된 때에 그 제어 신호를 유효화하고, 그 제어 신호가 소정의 횟수 연속하여 생성되고 있다면 최초로 생성되고 나서 일정 시간 후에 그 제어 신호를 유효화하는 스킵 판정 회로를 구비한 것을 그 요지로 한다.

본 발명에 따르면, 상기 비디오 디코드 코어 회로의 스킵 동작은 B-픽처에 대하여 우선적으로 행해지는 것을 그 요지로 한다.

본 발명에 따르면, 오디오 출력의 재생 타이밍을 계산하여 그 재생 타이밍에 따라 오디오 출력을 생성함으로써 정확한 재생 타이밍을 얻을 수 있다.

본 발명에 따르면, 비디오 출력의 재생 타이밍을 계산하여 그 재생 타이밍에 따라 비디오 출력을 생성함으로써 정확한 재생 타이밍을 얻을 수 있다.

본 발명에 따르면, 오디오 출력의 재생 타이밍을 계산하여 그 재생 타이밍에 따라 오디오 출력을 생성하는 것과 함께 비디오 출력의 재생 타이밍을 계산하여 그 재생 타이밍에 따라 비디오 출력을 생성함으로써 각 출력의 동기를 충분히 달성할 수 있다.

본 발명에 따르면 각 출력의 동기를 충분히 달성할 수 있다.

본 발명에 의하면, 각 디코더의 내부 지연 시간이 변화하여도 각 출력의 동기를 충분히 달성할 수 있다.

본 발명에 의하면, 비디오 출력을 스킵 또는 리피트시킴으로써 각 디코더의 내부 지연 시간이 변화하여도 각 출력의 동기를 충분히 달성할 수 있다.

본 발명에 의하면, MPEG 오디오 디코더의 내부 지연 시간은 오디오 비트 버퍼의 내부 지연 시간과 오디오 디코드 코어 회로의 내부 지연 시간에 의해 규정된다. 그리고, 각 지연 시간과 오디오의 타임 스탬프에 기초하여 제2의 타임 스탬프가 생성된다. MPEG 비디오 디코더에서는 그 제2의 타임 스탬프와 MPEG 비디오 디코더의 내부 지연 시간에 기초하여 비디오 디코드 코어 회로에 스킵 동작 또는 리피트 동작을 행하게 한다. 그 결과 각 디코더의 내부 지연 시간이 변화하여도 각 출력의 동기를 충분히 달성할 수 있다.

본 발명에 의하면, 스킵 동작에서 비디오 비트 버퍼로부터 전송되어 오는 픽처가 폐기되고 그 폐기된 픽처에 대해서는 디코드가 행해지지 않기 때문에 디스플레이에서는 재생 화면이 수 프레임분만 건너뛰는 스킵 재생이 행해진다. 또한, 리피트 동작에서 비디오 비트 버퍼로부터 전송되어 온 픽처의 비디오 출력이 계속 출력되기 때문에 디스플레이에서는 같은 재생 화면이 계속되는 리피트 재생이 행해진다.

본 발명에 의하면, 외부로부터 지정된 제1의 값을 조정함으로써 오디오 출력의 위상과 비디오 출력의 위상을 임의로 어긋나게 할 수 있다. 또한, 외부로부터 지정된 제2의 값을 조정함으로써 오디오 출력과 비디오 출력의 동기의 정도를 임의로 설정할 수 있다.

본 발명에 의하면, 제어 신호의 오류를 판정하여 보정함으로써 각 출력의 동기를 더욱 정확히 달성할 수 있다.

본 발명에 의하면, 제어 신호가 일정 횟수 이상 연속하여 생성되지 않으면, 그 제어 신호는 유효화되지 않는다. 즉, 제어 신호가 일정 횟수 미만밖에 연속하여 생성되지 않는 경우 그 제어 신호는 오류라고 판정되어 보정된다. 그 결과, 각 출력의 동기를 더욱 정확히 달성할 수 있다.

본 발명에 의하면, 제어 신호가 생성되고 나서 일정 시간 후에 없으면 그 제어 신호는 유효화되지 않는다. 그 결과, 각 출력의 동기를 더욱 정확히 달성할 수 있다.

본 발명에 의하면, 효과를 더욱 높일 수 있다.

본 발명에 의하면, 우선도가 낮은 B 픽처를 I 픽처 및 P 픽처보다도 우선하여 스킵함으로써 재생되는 동화에 생기는 프레임 결락이 작게 되고 동화의 움직임이 원활하게 된다.

(제1실시예)

본 발명의 1실시예에 따르는 MPEG 시스템 디코더를 도면을 참조하면서 설명한다. 제1도는 본 실시예의 MPEG 시스템 디코더(1)의 블록 회로를 나타낸다.

시스템 디코더(1)는 MPEG 오디오 디코더(2), MPEG 비디오 디코더(3), 오디오 비디오 파서(AV parser)(4)를 구비하고 있다.

AV 파서(4)는 역다중화기(Demultiplexer:DMUX:5)를 구비하고 있고 외부기기(예를 들면, 비디오 CD 플레이어)로부터 전송되어 온 MPEG 시스템 스트림을 입력한다. DMUX(5)는 시스템 스트림의 패킷 헤더에 따라 시스템 스트림을 MPEG 비디오 스트림과 MPEG 오디오 스트림으로 분리한다. AV 파서(4)는 시스템 스트림으로부터 SCR, 오디오의 PTS(이하, PTS(A)라고 한다), 비디오의 PTS(이하, PTS(V)라고 한다)를 각각 분리한다. 오디오 스트림, SCR, PTS(A)는 각각 오디오디코더(2)로 출력되고, 비디오 스트림, SCR, PTS(V)는 각각 비디오 디코더(3)로 출력된다.

오디오 디코더(2)는 레지스터(11), 비트 버퍼(12), 디코드 코어 회로(13), 제어 회로(14)를 구비하고 있다. 레지스터(11)는 FIFO(First-In-First-Out) 구성으로 PTS(A)를 순차 축적한다. 비트 버퍼(12)는 FIFO 구성의 RAM(Random Access Memory)으로 이루어져 있으며 오디오 스트림을 순차 축적한다. 디코드 코어 회로(13)는 비트 버퍼(12)로부터 공급된 오디오 스트림을 MPEG 오디오 파트에 준거하여 디코드하고, 오디오 출력을 생성한다. 제어 회로(14)는 오디오 디코더(2)에서의 디코드 처리 시간 즉, 오디오 디코더(2)의 내부 지연 시간과, SCR 및 PTS(A)에 기초하여 오디오 출력의 재생 시각(재생 타이밍)을 계산하여 그 계산 결과에 따라 디코드 코어 회로(13)를 제어한다.

비디오 디코더(3)는 레지스터(21), 비트 버퍼(22), 디코드 코어 회로(23), 제어 회로(24)를 구비하고 있다. 레지스터(21)는 FIFO 구성이고 PTS(V)를 순차 축적한다. 비트 버퍼(22)는 FIFO 구성의 RAM으로 이루어져 있으며 비디오 스트림을 순차 축적한다. 디코드 코어 회로(23)는 비트 버퍼(22)로부터 공급된 비디오 스트림을 MPEG 비디오 파트에 준거하여 디코드하고 비디오 출력을 생성한다. 제어 회로(24)는 비디오 디코더(3)에서의 디코드 처리 시간, 즉 비디오 디코더(3)의 내부 지연 시간과 SCR 및 PTS(V)에 기초하여 비디오 출력의 재생 시각을 계산하여 그 계산 결과에 따라 디코드 코어 회로(23)를 제어한다.

그리고, 비디오 출력은 디스플레이(25)로, 오디오 출력은 I/A 변환기(도시 생략) 및 저주파 증폭기(도시 생략)를 구비한 오디오 재생 장치(26)를 거쳐 스피커(27)로 각각 출력된다.

AV 파서(4)는 외부로부터 전송되어 온 10(A)도에 도시한 구성의 시스템 스트림을 입력하면 비디오 데이터의 각 패킷 V1~V7로 구성된 비디오 스트림과, 오디오 데이터의 각 패킷 A1~A3로 구성된 오디오 스트림으로 분리한다.

오디오 디코더(2)는 오디오 디코더(2)의 내부 지연 시간과 SCR 및 PTS(A)(PTS(A1))에 기초하여 오디오 출력의 재생 시각을 설정하고 제10(c)도에 도시한 바와 같이 액세스 유닛 β 의 재생을 시각 t_2 에서 개시한다. 보다 상세하게 설명하면 제어 회로(14)는 레지스터(11)로부터 PTS(A1)를 판독하고 비트 버퍼(12)로부터 오디오 스트림을 판독하여 디코드 코어 회로(13)로 전송한다. 이 때 제어 회로(14)는 오디오 디코더(2)의 내부 지연 시간과 SCR 및 PTS(A1)에 기초하여 오디오 출력의 재생 시각을 계산한다. 디코드 코어 회로(13)는 MPEG 오디오 파트에 준거하여 오디오 스트림의 각 패킷 A1~A3를 디코드하여 오디오 출력을 생성한다. 제어 회로(14)는 계산된 재생 시각(외부의 출력 시각)에 따라 오디오 출력이 재생되도록 디코드 코어 회로(13)를 제어한다.

그런데, 오디오 디코더(2)의 내부 지연 시간은 비트 버퍼(12)로부터 오디오 스트림이 판독되는데 필요한 시간(비트 버퍼(12)의 내부 지연 시간)과 디코드 코어 회로(13)에서의 디코드 처리 시간(디코드 코어 회로(13)의 내부 지연 시간)의 합이다. 비트 버퍼(12)의 내부 지연 시간은 비트 버퍼(12)에서의 오디오 스트림의 점유량에 의해 변화하고 그 점유량이 크면 클수록 내부 지연 시간도 커지게 된다. 디코드 코어 회로(13)의 내부 지연 시간은 일정하다. 레지스터(11)로부터 PTS(A)가 판독되는데 필요한 시간은 비트 버퍼(12)의 내부 지연 시간에 비해 작으며 제어 회로(14)에서의 신호 처리 시간과 합해도 무시할 수 있는 정도이다.

비디오 디코더(3)는 비디오 디코더(3)의 내부 지연 시간과 SCR 및 PTS(V)(PTS(V1), PTS(V6))에 기초하여 비디오 출력의 재생 시각을 설정하고 제10(b)도, 제10(d)도에 나타낸 바와 같이 각 액세스 유닛 α , γ 의 재생을 각 시각 $t1$, $t3$ 에서 개시한다. 상세히 설명하면, 제어 회로(24)는 PTS(V1), PTS(V6)를 각각 레지스터(21)로부터 판독하고, 비트 버퍼(22)로부터 비디오 스트림을 판독하여 디코드 코어 회로(23)로 전송한다. 제어 회로(24)는 비디오 디코더(3)의 내부 지연 시간과 SCR 및 PTS(A1), PTS(V6)에 기초하여 비디오 출력의 재생 시각을 계산한다. 디코드 코어 회로(23)는 MPEG 비디오 파트에 준거하여 비디오 스트림의 각 패킷 $V1 \sim V7$ 을 디코드하여 비디오 출력을 생성한다. 제어 회로(24)는 계산된 재생 시각(외부의 출력 시각)에 따라 비디오 출력이 재생되도록 디코드 코어 회로(23)를 제어한다.

그런데, 비디오 디코더(3)의 내부 지연 시간은 비트 버퍼(22)로부터 비디오 스트림이 판독되는데 필요한 시간(비트 버퍼(22)의 내부 지연 시간과, 디코드 코어 회로(23)에서의 디코드 처리 시간(디코드 코어 회로(23)의 내부 지연 시간)의 합이다. 비트 버퍼(22)의 내부 지연 시간은 비트 버퍼(22)에서의 비디오 스트림의 점유량에 의해 변화하고 그 점유량이 크게 되면 될수록 내부 지연 시간도 크게 된다.

디코드 코어 회로(23)의 내부 지연 시간은 일정값이다. 제어 회로(24)는 PTS(V)가 판독되는데 필요한 시간이 비트 버퍼(22)의 내부 지연 시간과 동일하게 되도록 레지스터(21)를 제어한다.

오디오 디코더(2)에서의 오디오 출력의 재생 시각의 설정과 비디오 디코더(3)에서의 비디오 출력의 재생 시각의 설정은 각 PTS(A), PTS(V)에 따라 각각 개별적으로 행해진다.

이와 같이, 본 실시예에서는 SCR 및 PTS 뿐만 아니라 각 디코더(2, 3)의 내부 지연 시간도 고려하여 오디오 출력 및 비디오 출력의 재생 시각이 설정된다. 이것은 오디오 출력과 비디오 출력의 동기(립 싱크)를 충분히 달성할 수 있다. 이것은 비디오 출력 및 오디오 출력 중 어느 한쪽을 지연시키기 위한 지연 메모리를 설치할 필요가 없고, 지연 메모리의 설치함에 따른 회로 규모 및 단가의 증대를 회피할 수 있게 된다.

(제2 실시예)

본 발명의 제2 실시예를 제2도 내지 제5도에 따라 설명한다. 또한, 본 실시예에 있어서, 제1 실시예와 같은 구성 부재에 대해서는 부호를 같게 하여 그 상세한 설명을 생략한다.

제2도는 본 실시예의 MPEG 시스템 디코더(31)의 블록 회로를 나타낸다.

시스템 디코더(31)는 MPEG 오디오 디코더(32), MPEG 비디오 디코더(33) 및 AV 파서(4)를 구비하고 있다. AV 파서(4)는 역다중화기(OMUX;5)를 구비하고 있다.

AV 파서(4)는 분리한 오디오 스트림, SCR, PTS(A)를 각각 오디오 디코더(32)로 출력하고, 비디오 스트림, SCR, PTS(V)를 각각 비디오 디코더(33)로 출력한다. 여기서, 본 실시예에서는 제1 실시예와 다르게 AV 파서(4)는 비디오 디코더(33)에 SCR을 제공하지 않는다.

오디오 디코더(32)는 레지스터(11), 비트 버퍼(12), 디코드 코어 회로(13), 제어 회로(14) 및 타임 스탬프 생성 회로(41)를 구비하고 있다. 타임 스탬프 생성 회로(41)는 후기하는 바와 같이 타임 스탬프 I_1 -PTS(이하, A_1 -PTS라고 한다)를 생성한다. 제어 회로(14)는 레지스터(11), 비트 버퍼(12) 및 디코드 코어 회로(13) 뿐만 아니라, 타임 스탬프 생성 회로(41)도 제어한다. 또한 제어 회로(14)는 SCR 및 PTS(A)를 근거로 오디오 출력의 재생 시각(재생 타이밍)을 계산하고 오디오

디코더(32)의 내부 지연 시간에 대해서는 고려하고 있지 않다.

비디오 디코더(33)는 레지스터(21), 비트 버퍼(22), 디코드 코어 회로(23) 및 제어 회로(42)를 구비하고 있다. 제어 회로(42)는 비디오 출력의 재생 시각을 계산하여 그 계산 결과에 따라 디코드 코어 회로(23)를 제어한다. 그 재생 시각은 타임 스탬프 생성 회로(41)로부터 생성된 A_1 -PTS와, 비디오 디코더(33)의 디코드 처리시간 즉 비디오 디코더(33)의 내부 지연 시간(이하, 비디오 디코드 지연 시간이라 한다) $D(t)$ 와, PTS(V)에 기초하여 계산된다. 비디오 디코드 지연 시간 $D(t)$ 는 비트 버퍼(22)의 내부 지연 시간 VD 와 디코드 코어 회로(23)의 내부 지연 시간 ΔV 와의 합이다.

제3도는 타임 스탬프 생성 회로(41)의 블록 회로를 나타낸다.

타임 스탬프 생성 회로(41)는 지연 시간 산출 회로(51), 감산 회로(52), 샘플링 주파수 검출 회로(53) 및 가산 회로(54)를 구비하고 있다. 지연 시간 산출 회로(51)는 비트 버퍼(12)의 내부 지연 시간 AD 를 산출한다. 내부 지연 시간 AD 는 비트 버퍼(12)에서의 오디오 스트림의 점유량에 의해 변화하며 점유량이 커지면 커질수록 내부 지연 시간 AD 도 크게 된다. 감산 회로(52)는 레지스터(11)로부터 판독된 PTS(A)로부터 내부 지연 시간 AD 및 디코드 코어 회로(13)의 내부 지연 시간 ΔA 의 합을 감산하여 A_1 -PTS를 생성한다. 즉, 이하의 식에 따라서 A_1 -PTS가 생성된다.

$$A_1\text{-PTS} = \text{PTS}(A) - AD - \Delta A$$

따라서, A_1 -PTS에는 PTS(A)에 대해서 각 내부 지연 시간 AD , ΔA 의 영향이 가미된다. 내부 지연 시간 ΔA 는 일정값이다.

샘플링 주파수 검출 회로(53)는 오디오 스트림으로부터 오디오 데이터의 샘플링 주파수를 검출하여 그 샘플링 주파수에 대응한 클럭 신호 CK 를 생성한다. 이 샘플링 주파수는 CD(Compact Disc)의 규격으로는 44.1KHz로 정하여져 있다. 가산 회로(54)는 A_1 -PTS와 클럭 CK 를 가산하여 A_2 -PTS를 생성한다. 여기에서 A_1 -PTS에 클럭 CK 를 가산하는 것은 리얼 타임으로 A_2 -PTS를 생성하기 위해서다. 상기한 바와 같이 PTS(A)는 패킷 중에 오디오 프레임(또는 액세스 유닛)의 선두가 있는 경우 그 패킷의 패킷 헤더에 추가된다. 그러나, 패킷 중에 오디오 프레임의 선두가 없는 경우, PTS(A)는 추가되지 않는다. 패킷 중에 2개 이상의 오디오 프레임의 선두가 있는 경우, 최초의 오디오 프레임에 대응하는 PTS(A)만이 그 패킷의 패킷 헤더에 추가된다. 패킷 중에 오디오 프레임의 선두가 있는 경우에도 그 패킷의 패킷 헤더에 반드시 PTS(A)가 추가되어 있다고 할 수 없다. 이와 같이 PTS(A)가 추가됨으로써 레지스터(11)로부터는 PTS(A)가 간헐적으로 밖에 판독되지 않는다. 따라서, 타임 스탬프 생성 회로(41)는 레지스터(11)로부터 PTS(A)가 판독되지 않는 때 이전에 판독된 PTS(A)로부터 A_1 -PTS를 생성하고 그 A_1 -PTS에 클럭 CK 를 가산하여 A_2 -PTS를 생성한다. 이것에 의해 타임 스탬프 생성 회로(41)는 리얼 타임으로 A_2 -PTS를 생성한다. 그 A_2 -PTS는 레지스터(11)로부터 새로운 PTS(A)가 판독될 때마다 그 이전에 생성된 A_1 -PTS와는 관계없이 새로이 생성된다.

이와 같이, 타임 스탬프 생성 회로(41)는 오디오 디코더(32)의 내부 지연 시간($=AD + \Delta A$)과 오디오 데이터의 샘플링 주파수에 대응한 클럭 CK 에 기초하여 A_2 -PTS를 생성한다. 따라서, A_2 -PTS에는 PTS(A)에 대하여 각 내부 지연 시간 AD , ΔA 및 클럭 CK 의 영향이 가미된다.

제4도는 비디오 디코더(33)의 블록 회로를 나타낸다. 제어 회로(42)는 기록 어드레스 검출 회로(61), 판독 어드레스 검출 회로(62), 픽처 헤더 검출 회로(63), 맵핑 회로(64), 레지스터(65), 동기 판정 회로(66), 제1 및 제2 비교 처리 회로(67, 70), 제1 및 제2 감산 회로(68, 69) 및 각 회로(61 내지 70)를 제어하는 제어 코어 회로(71)를 구비하고 있다. 제어 코어 회로(71)는 비트 버퍼(22) 및 디코드 코어 회로(23)도 제어한다.

기록 어드레스 검출 회로(61)는 비트 버퍼(22)에 비디오 스트림이 축적될 때, PTS(V)가 추가되어 있는 패킷의 어드레스 Add를 검출한다. 상세하게 설명하면, AV 파서(4)는 비디오 스트림으로부터 PTS(V)를 분리하여 비트 버퍼(22)가 그 비디오 스트림을 축적하고 레지스터(21)가 그 PTS(V)를 축적한다. 이 때 기록 어드레스 검출 회로(61)는 PTS(V)가 분리되는 일없이 그것을 부가한 비디오 스트림이 비트 버퍼(22)에 기입됨으로써 PTS(V)가 추가되어 있는 패킷의 어드레스 Add를 검출한다. 이것은 그 검출된 어드레스 Add가 PTS(V)의 어드레스에 대응하고 있는 것을 의미한다. 이와 같이 패킷의 어드레스 Add를 PTS(V)의 어드레스에 대응시키는 것이 가능한 것은 이하의 이유 때문이다. 패킷의 데이터량에 비하여 PTS(V)의 데이터량은 충분히 작고 비디오 스트림에 PTS(V)를 포함시켜도 비트 버퍼(22)에 축적된 패킷의 어드레스는 변화하지 않는다

제어 코어 회로(71)는 검출된 어드레스 Add를 PTS(V)와 대응시켜 레지스터(21)에 순차 축적한다. 레지스터(21)는 예를 들면 (n+1)단의 스택으로 구성되어 있다. 레지스터(21)에는 비디오 스트림으로부터 순차 분리된 (n+1)개의 각 PTS(V_n) ~ PTS(V_{n+1})가 대응하는 각 어드레스 Add $_n$ ~ Add $_{n+1}$ 과 원 세트 순차 축적된다. 판독 어드레스 검출 회로(62)는 비트 버퍼(22)로부터 판독된 비디오 스트림의 어드레스를 검출한다. 픽처 헤더 검출 회로(63)는 비트 버퍼(22)에 기입된 비디오 스트림의 각 픽처의 선두에 붙은 픽처 헤더를 검출하고, 그 각 픽처 헤더에 규정되어 있는 픽처의 타입(I, P, B)을 각각 검출한다. 제어 코어 회로(71)는 그 검출 결과에 따라서 비트 버퍼(22)로부터 일정 주기마다 1개의 픽처분의 비디오 스트림을 판독한다.

제1 비교 처리 회로(67)는 비트 버퍼(22)로부터 판독된 비디오 스트림의 어드레스와, 레지스터(21)로부터 판독된 PTS(V) (PTS(V_n))에 대응하는 어드레스 Add(Add $_n$)를 비교하여 양 어드레스가 일치하는지 여부를 판정한다. 맵핑 회로(64)는 제1 비교 처리 회로(67)의 판정 결과와 픽처 헤더 검출 회로(63)의 검출 결과에 따라 PTS(V)와 픽처와의 맵핑을 행한다. 이 맵핑에 대하여는 이하에서 설명한다.

상기 각 회로(62~64, 67)의 동작을 제5(a)도, 제5(b)도에 나타난 비디오 스트림의 일예에 따라 설명한다. 제5(a)도에 나타난 바와 같이 비디오 스트림은 2개의 패킷 P, Q로 구성되며 각 패킷 P, Q의 패킷 헤더에는 PTS(V_n), PTS(V_{n+1})이 각각 부가되어 있다. 패킷 P는 3개의 B 픽처 B1, B2, B3를 포함하고 있다. 이 B 픽처 B1의 선두는 패킷 P 중에는 없다. 패킷 Q는 B 픽처 B3, I 픽처 I1 및 P 픽처 P1을 포함하고 있다. 이 B 픽처 B3의 선두는 패킷 Q 중에는 없다. 결국 PTS(V_n)는 B 픽처 B2, B3에 대응한 PTS(V)이고, PTS(V_{n+1})은 I 픽처 I1, P 픽처 P1에 대응한 PTS(V)이다. 그리고, 각 PTS(V_n), PTS(V_{n+1})에는 각 어드레스 Add $_n$, Add $_{n+1}$ 이 대응하고 각 PTS(V_n), PTS(V_{n+1}) 및 각 어드레스 Add $_n$, Add $_{n+1}$ 은 레지스터(21)에 축적되어 있다. 제5(a)도에 나타난 비디오 스트림은 비트 버퍼(22)내에서는 제5(b)도에 나타난 바와 같이 각 PTS(V_n), PTS(V_{n+1})가 제거된 상태로 축적된다.

비트 버퍼(22)로부터 비디오 스트림이 판독되면 판독 어드레스 검출 회로(62)는 그 비디오 스트림의 어드레스를 검출하고, 제1 비교 처리 회로(67)는 그 어드레스와, 레지스터(21)에 축적되어 있는 어드레스 Add를 비교한다. 픽처 헤더 검출 회로(63)는 판독된 비디오 스트림의 픽처의 선두에 붙은 픽처 헤더를 검출한다. 제1 비교 처리 회로(67)가 그 양 어드레스가 일치하고 있다고 판정되면 맵핑 회로(64)는 검출된 픽처 헤더가 선두에 붙은 픽처(이 경우, B 픽처 B2)가 어드레스 Add $_n$ (즉, PTS(V_n))에 대응하고 있다고 판정한다. 구체적으로는 제5(a)도에 나타난 바와 같이, 맵핑 회로(64)는 PTS(V_n)에 대응하는 것은 B 픽처 B1이 아니고 B 픽처 B2이고, PTS(V_{n+1})에 대응하는 것은 B 픽처 B3가 아니고 I 픽처 I1이라는 것을 판정한다. 이 판정 동작이 맵핑이다.

이와 같이, 본 실시예에서는 각 회로(62~64, 67)가 비트 버퍼(22)의 내부 지연 시간 V0를 산출하는 것과 동등한 동작을 행한다. 즉, 비트 버퍼(22)로부터 디코드 코어 회로에 비디오 스트림이 제공되는 때에 각 픽처와 PTS(V)를 대응시키는 것이 내부 지연 시간 V0의 산출에 상당한다. 그 때문에 레지스터(21)로부터 판독된 PTS(V)에는 레지스터(21)에 기입된 때의 PTS(V)에 대하여 비트 버퍼(22)의 내부 지연 시간 V0의 영향이 가미되어 있다. 비디오 디코더(33)에서의 각 회로(62~64, 67)의 동작은 오디오 디코더(32)에서의 지연 시간 산출 회로(51)의 동작에 대응한다. 그 내부 지연 시간 V0는 비트 버퍼(22)의 비디오 스트림의 점유량에 의해 변화하며 그 점유량이 크면 클수록 내부 지연 시간 V0도 크게 된다.

레지스터(65)는 1단의 스택으로 구성되고 프레임간 예측 기술에 따르는 동작을 행한다. 그 동작은 픽처 헤더 검출 회로(63)에 의해 검출된 픽처의 타입(I, P, B)에 따라 I 픽처 또는 P 픽처에 대응하는 PTS(V)와 B 픽처에 대응하는 PTS(V)를 교체한다.

제1 감산 회로(68)는 레지스터(65)로부터 판독된 PTS(V)로부터 디코드 코어 회로(23)의 내부 지연 시간 ΔV 와 제2도에 나타난 외부의 입력 장치(43)로 설정된 값 x와의 합을 감산하여 V_i-PTS를 생성한다. 즉, 이하의 식에 따라 V_i-PTS가 생성된다.

$$V_i\text{-PTS} = \text{PTS}(V) - \Delta V - x$$

여기서, 레지스터(65)로부터 판독된 PTS(V)에는 내부 지연 시간 V_0 의 영향이 반영되고 있다. 그 때문에, I_1 -PTS에는 레지스터(21)에 기입된 PTS(V)에 대해서 비디오 디코드 지연 시간 $D(t)$ ($=V_0 + \Delta V$) 및 값 x 의 영향이 반영되어 있다.

내부 지연 시간 ΔV 는 일정한 값이다. 값 x 는 사용자가 입력 장치(43)를 조작하는 것에 의해 설정된다.

제2 감산 회로(69)는 타임 스탬프 생성 회로(41)로부터 생성된 A_2 -PTS로부터 V_1 -PTS를 감산하여 V_2 -PTS를 생성한다. 즉, 이하의 식에 따라 V_2 -PTS가 생성된다.

$$V_2\text{-PTS} = A_2\text{-PTS} - V_1\text{-PTS} = A_2\text{-PTS} - \text{PTS}(V) + \Delta V + x$$

여기에서 A_2 -PTS는 리얼 타임으로 생성된다. 따라서, V_1 -PTS가 어떤 타이밍에서 생성되어도 V_2 -PTS는 확실하게(또는 리얼 타임으로) 생성된다.

제2 비교 처리 회로(70)는 제2도에 나타난 외부의 입력 장치(44)로 설정된 값 y 와 I_1 -PTS를 비교한다. 값 y 는 사용자가 입력 장치(44)를 조작함으로써 설정되며 1개의 픽처가 재생되고 있는 시간의 절반보다도 크게 되도록 설정된다. 동기 판정 회로(66)는 맵핑 회로(64)에 의해 PTS(V)와 픽처와의 맵핑을 행하게 되면 제2 비교처리 회로(70)의 비교 결과에 따라 각 제어 신호 SS, Sn, SR을 생성한다. 동기 판정 회로(66)는 $I_1 - \text{PTS} - y$ 인 경우는 제어 신호 SS를 생성한다. 동기 판정 회로(66)는 $-y \leq V_2 - \text{PTS} \leq y$ (즉, $|V_2\text{-PTS}| \leq y$)의 경우는 제어 신호 Sn을 생성하고 $y > V_2 - \text{PTS}$ 의 경우는 제어 신호 SR을 각각 생성한다.

동기 판정 회로(66)는 $A_2 - \text{PTS}$ 및 $V_1 - \text{PTS}$ 에 비해 값 y 가 충분히 작은 때 이하의 각 경우에 따라 각 제어 신호 SS, Sn, SR을 생성한다. 동기 판정 회로(66)는 $A_2\text{-PTS} - V_1 - \text{PTS}$ 의 경우는 제어 신호 SS를 생성한다. 동기 판정 회로(66)는 $A_2 - \text{PTS} = V_1 - \text{PTS}$ 의 경우는 제어 신호 Sn를 생성하고 $A_2 - \text{PTS} > V_1 - \text{PTS}$ 의 경우는 제어 신호 SR을 각각 생성한다. 그 각 제어 신호 SS, Sn, SR은 디코드 코어 회로(23)에 입력되어 그 디코드 코어 회로(23)를 제어한다.

디코드 코어 회로(23)는 비트 버퍼(22)로부터 판독된 비디오 스트림을 디코드하여 각 픽처마다 비디오 출력을 생성한다. 여기서 제어 신호 SS가 생성되고 있을 때 디코드 코어 회로(23)는 스킵 동작을 행한다. 상세하게 설명하면 디코드 코어 회로(23)는 제어 신호 SS가 생성되고 있는 동안 비트 버퍼(22)로부터 전송되어 오는 픽처를 폐기하고 그 폐기된 픽처에 대해서는 디코드를 행하지 않는다. 그리고, 제어 신호 SS의 생성이 정지된다면 디코드 코어 회로(23)는 통상의 동작으로 되돌아간다. 그 결과 디스플레이(25)에서는 재생 화면이 수 코마분만큼 건너뛰는 스킵 재생이 행해진다.

제어 신호 Sn이 생성되고 있을 때 디코드 코어 회로(23)는 통상의 동작을 행하고 디스플레이(25)에서는 통상의 재생이 행해진다. 제어 신호 SR이 생성되고 있을 때 디코드 코어 회로(23)는 리피트 동작을 행한다. 상세하게 설명하면 디코드 코어 회로(23)는 제어 신호 SR이 생성되고 있는 동안 그 제어 신호 SR이 생성되기 전에 비트 버퍼(22)로부터 전송된 픽처의 비디오 출력의 출력을 계속 행한다. 그리고, 제어 신호 SR의 생성이 정지되면 디코드 코어 회로(23)는 통상의 동작으로 되돌아간다. 그 결과 디스플레이(25)에서는 같은 재생 화면이 계속되는 리피트 재생이 행해진다.

예를 들면, $A_2 - \text{PTS}$ 및 $V_1 - \text{PTS}$ 에 비해 값 y 가 충분히 작은 때에 디코드 코어 회로(23)는 $A_2 - \text{PTS} > V_1 - \text{PTS}$ 의 경우는 스킵 동작을 행하고, $A_2 - \text{PTS} = V_1 - \text{PTS}$ 의 경우는 통상의 동작을 행하며, 더우기 $A_2 - \text{PTS} < V_1 - \text{PTS}$ 의 경우는 리피트 동작을 각각 행한다.

그런데, 입력 장치(44)에서 값 y 를 지정할 수 있도록 하고 있는 것은 I_1 -PTS와 $V_1 - \text{PTS}$ 가 완전하게 일치하는 것이 드물기 때문이다. 디코드 코어 회로(23)는 $A_2 - \text{PTS}$ 와 $V_1 - \text{PTS}$ 가 완전히 일치한 경우($A_2 - \text{PTS} = V_1 - \text{PTS}$)에 통상의 동작을 행한다. 따라서, $A_2 - \text{PTS}$ 및 $V_1 - \text{PTS}$ 에 비해 값 y 가 충분히 작은 때 디코드 코어 회로(23)는 드물게 통상의 동작을 행한다. 그래서, 시청자(또는 사용자)가 값 y 를 적절히 설정함으로써 $I_1 - \text{PTS}$ 와 $V_1 - \text{PTS}$ 가 완전하게 일치하지 않게 되어도 어느 정도 일치하게 되면 디코드 코어 회로(23)는 통상의 동작을 행한다. 결국, 입력 장치(44)에서 값 y 를 지정할 수 있도록 하고 있는 것은 $A_2 - \text{PTS}$ 와 $V_1 - \text{PTS}$ 의 일치 조건에 허용 범위를 갖게 하기 위한 것이다.

또한, 입력 장치(43)에서 값 x 를 지정할 수 있도록 하고 있는 것은 디코드 코어 회로(23)에 대해서 임의로 스킵 동작 또

는 리피트 동작을 행하게 하기 위한 것이다. 시청자가 값 x 를 조정함으로써 λ - PTS가 변화한다. 디코드 코어 회로(23)는 그 V_1 - PTS의 변화에 대응하여 각 동작을 행한다.

이와 같이, 본 실시예에서 제어 회로(42)는 오디오 디코더(32)의 내부 지연 시간($=AD + \Delta A$)을 기초로 생성된 λ -PTS와 비디오 디코드 지연 시간($=AD + \Delta A$)을 기초로 생성된 λ -PTS와 비디오 디코드 지연 시간 $D(t)$ ($=VD + \Delta V$)와 값 x 를 기초로 PTS(V)를 보정하여 V_1 -PTS를 생성한다. 그리고, 제어 회로(42)는 V_1 -PTS와 값 y 와의 비교 결과에 따라 제어 신호 SS, Sn, SR 중 어느 것을 생성하고 스킵 동작, 통상의 동작, 리피트 동작 중 어느 것을 행하도록 디코드 코어 회로(23)를 제어한다.

따라서, 제어 회로(42)는 비디오 디코더(33)의 내부 지연 시간뿐만 아니라 오디오 디코더(32)의 내부 지연 시간을 기초로 디코드 코어 회로(23)를 제어한다. 즉, 제어 회로(42)는 비디오 디코더(33)의 내부 지연 시간뿐만 아니라 오디오 디코더(32)의 내부 지연 시간을 고려하여 비디오 출력의 재생 시각을 설정한다. 다시 말하면, 오디오 출력의 재생 타이밍에 맞추어서 비디오 출력의 재생 타이밍이 조정된다. 이것은 오디오 출력과 비디오 출력의 동기를 제1 실시예보다도 더욱 확실하게 달성할 수 있다.

예를 들면, 오디오 출력의 재생 타이밍보다도 비디오 출력의 재생 타이밍이 지연되어 있는 경우, 제어 회로(42)는 디코드 코어 회로(23)에 스킵 동작을 행하게 하고 디스플레이(25)가 스킵 재생을 행한다. 이 결과 비디오 출력의 재생 타이밍이 오디오 출력의 재생 타이밍을 따라잡게 된다. 역으로 오디오 출력의 재생 타이밍보다도 비디오 출력의 재생 타이밍이 앞서 있는 경우, 제어 회로(42)는 디코드 코어 회로(23)에 리피트 동작을 행하게 하여 디스플레이(25)가 리피트 재생을 행한다. 이 결과 비디오 출력의 재생 타이밍이 오디오 출력의 재생 타이밍에 맞추게 된다.

이와 같이 비디오 출력의 재생 타이밍 쪽을 오디오 출력의 재생 타이밍에 맞추도록 하는 것은 이하의 이유 때문이다. 인간은 디스플레이(25)에 영출되는 동화가 수 코마분 어긋나도 이 어긋남을 감지할 수 없는 것에 대해 스피커(27)로부터 나오는 음성이 어긋난 때에는 그 어긋남이 귀에 들리기 쉬운 노이즈로서 민감하게 감지될 수 있다.

사용자가 값 y 를 조정하는 것은 오디오 출력과 비디오 출력의 동기의 정도를 임의로 설정하는 것을 가능하게 한다. 값 y 를 크게 설정할수록 λ -PTS와 V_1 -PTS와의 일치 조건의 허용 범위가 크게 되며, 그 결과 오디오 출력과 비디오 출력의 동기의 정도는 낮게 된다. 이와 같이 오디오 출력과 비디오 출력의 동기의 정도가 설정 가능하게 되어 있는 것은 시스템 스트림에 의해서는 PTS(PTS(A) 및 PTS(V))가 정확히 부가되어 있지 않은 경우가 있기 때문이다. 예를 들면, 현재 시판되고 있는 소위 비디오 CD에서는 PTS가 정확히 부가되어 있지 않은 것이 드물게 존재한다. 값 y 가 1개의 픽처가 재생되고 있는 시간의 절반보다도 크게 되도록 설정한 것은 이보다 작게 설정되어도 오디오 출력과 비디오 출력의 동기의 정도는 변화하지 않기 때문이다.

사용자가 값 x 를 조정하는 것은 오디오 출력의 위상과 비디오 출력의 위상을 의도적으로 어긋나게 하는 것을 가능하게 한다. 이 기능은 본 실시예를 CD-ROM 등의 축적 미디어로부터 판독된 시스템 스트림에 적용하는 경우에 적합하게 된다.

예를 들면, 사용자가 동화를 통상의 재생 속도보다도 고속으로 재생시킨 때에 오디오 출력과 비디오 출력의 동기 어긋남이 생기고 그 동기 어긋남을 보정하는 때에 그 기능을 발휘시킬 수 있다. 동화를 통상의 재생 속도보다도 고속으로 재생시키는 경우에는 사용자가 단시간에 동화를 보기 위하여 고속 재생을 행하는 경우나 보고 싶은 동화를 검색하기 위하여 고속 재생 또는 고속 역전 재생을 행하는 경우 등이 있고 그 경우에 오디오 출력도 재생된다.

(제3 실시예)

본 발명의 제3 실시예를 제6도 내지 제9도에 따라 설명한다. 본 실시예에 있어서, 제2 실시예와 같은 구성 부재에 대해서는 부호를 동등하게 하여 그 상세한 설명을 생략한다.

제6도는 본 실시예의 MPEG 시스템 디코더(81)의 블록 회로를 나타낸다. 시스템 디코더(81)는 오디오 디코더(32), MPEG 비디오 디코더(82) 및 AV 파서(4)를 구비하고 있다. AV 파서(4)는 DMUX(5)를 구비하고 있다. AV 파서(4)는 오디오스트림, SCR, PTS(A)를 각각 오디오 디코더(31)로 출력하고, 비디오 스트림, PTS(V)를 각각 비디오 디코더(82)로 출력한다.

비디오 디코더(82)는 레지스터(21), 비트 버퍼(22), 디코드 코어 회로(23) 및 제어 회로(83)를 구비하고 있다. 제어 회로(83)는 A-PTS와 비디오 디코더(82)의 디코드 처리 시간과 PTS(V)를 기초로 비디오 출력의 재생 시각을 계산하여 그 계산 결과를 보정한다. 그리고, 그 보정 결과에 따라 디코드 코어 회로(23)를 제어한다. 비디오 디코더(82)의 내부 지연 시간은 제2 실시예의 비디오 디코더(33)의 내부 지연 시간과 같고 이하 비디오 디코드 지연 시간 $D(t)$ 라고 한다.

제7도는 비디오 디코더(82)의 블록 회로를 나타낸다. 제어 회로(83)는 기록 어드레스 검출 회로(61), 판독 어드레스 검출 회로(62), 픽처 헤더 검출 회로(63), 맵핑 회로(64), 레지스터(65), 동기 판정 회로(66), 제1 및 제2 비교 처리 회로(67, 70), 제1 및 제2 감산 회로(68, 69), 리피트 판정 회로(84), 스킵 판정 회로(85) 및 각 회로(61~70, 84, 85)를 제어하는 제어 코어 회로(72)를 구비하고 있다. 제어 코어 회로(72)는 비트 버퍼(22) 및 디코드 코어 회로(23)도 제어한다.

리피트 판정 회로(84)는 동기 판정 회로(66)로부터 생성된 각 제어 신호 S_n , SR 과 제6도에 나타난 입력 장치(86, 87)에서 설정된 값 z_1 , z_2 를 기초로 제어 신호 SR_m 을 생성한다. 스킵 판정 회로(85)는 동기 판정 회로(66)로부터 생성된 각 제어 신호 S_n , SS 와 제6도에 나타난 입력 장치(88, 89)에서 설정된 값 w_1 , w_2 와 픽처 헤더 검출 회로(63)의 검출 결과에 따라 제어 신호 SS_m 을 생성한다.

디코드 코어 회로(23)는 각 제어 신호 SS , S_n , SR 이 아니라 각 제어 신호 SS_m , S_n , SR_m 에 따라 동작한다. 제어 신호 SS_m 이 생성되는 때 디코드 코어 회로(23)는 스킵 동작을 행한다. 제어 신호 S_n 이 생성되고 있는 때 디코드 코어 회로(23)는 통상의 동작을 행한다. 또한 제어 신호 SR_m 이 생성되고 있는 때 디코드 코어 회로(23)는 리피트 동작을 행한다.

제8도는 리피트 판정 회로(84)의 블록 회로를 나타낸다. 리피트 판정 회로(84)는 카운터(91, 92), 제1~제3 비교 처리 회로(93~95), OR 회로(96)를 구비하고 있다. 카운터(91)는 제어 신호 SR 이 생성될 때마다 그 카운터 값을 증가시키면서 카운트 동작을 한다. 제1 비교 처리 회로(93)는 카운터(91)의 카운트 값과 값 z_1 을 비교하여 카운트 값 쪽이 큰 경우에 제어 신호 SR_m 을 생성한다. OR 회로(96)는 각 제어 신호 S_n , SR_m 중 적어도 어느 하나가 생성되면 카운터(91)에 리세트 신호를 출력한다. 카운터(91)는 그 리세트 신호에 응답하여 카운트 값을 리세트한다.

제2 비교 처리 회로(94)는 카운터(91)의 카운트 값이 영보다 큰 경우에 카운터(92)에 카운트 개시 신호를 출력한다. 카운터(92)는 카운트 개시 신호에 응답하여 카운트 동작을 개시하고 일정 시간마다 카운트 값을 증가시킨다. 제3 비교 처리 회로(95)는 카운터(92)의 카운트 값과 값 z_2 를 비교하여 카운트 값 쪽이 큰 경우에 제어 신호 SR_m 을 생성하여 카운터(92)에 리세트 신호를 출력한다. 카운터(92)는 그 리세트 신호에 응답하여 카운트 값을 리세트한다.

제1 비교 처리 회로(93)는 카운터(91)의 카운터 값에 의해 제어 신호 SR 이 값 z_1 보다도 많은 횟수만큼 연속하여 생성될 때 제어 신호 SR_m 을 생성한다. 따라서, 제어 신호 SR 이 값 z_1 보다도 많은 횟수만큼 연속하여 생성되지 않는다면 디코드 코어 회로(23)는 리피트 동작을 행하지 않는다. 이와 같이 하는 것은 오디오 출력의 재생 타이밍(또는 재생 시기)보다도 비디오 출력의 재생 타이밍이 앞서고 있지 않은 경우에도 동기 판정 회로(66)가 제어 신호 SR 을 잘못해서 생성하고 디코드 코어 회로(23)가 리피트 동작을 행하고 있기 때문이다. 예를 들어, PTS(A) 또는 PTS(V)가 잘못 되어 있는 경우나 동기화 통상의 재생 속도보다도 고속으로 재생된 경우 등에 있어서 동기 판정 회로(66)가 제어 신호 SR 을 잘못해서 생성하는 경우가 있다.

그래서, 리피트 판정 회로(84)는 동기 판정 회로(66)가 제어 신호 SR 을 연속하여 어떤 일정한 횟수(= z_1)보다도 많이 생성한 때에 그 제어 신호 SR 이 정확한 것으로 판정하고 제어 신호 SR_m 을 생성한다. 디코드 코어 회로(23)는 그 제어 신호 SR_m 에 따라서 리피트 동작을 행한다. 이와 같이 제어 신호 SR_m 을 생성하는 것은 잘못된 제어 신호 SR 에 따라서 디코드 코어 회로(23)가 리피트 동작을 행하는 것을 미연에 방지한다.

제어 신호 SR 이 1회 생성된다면 카운터(92)는 카운트 동작을 개시하고 그 일정 시간 후에는 그 시점에서의 카운터(91)의 카운트 값에 관계없이 제3 비교 처리 회로(95)는 제어 신호 SR_m 을 생성한다. 이 일정 시간은 카운터(92)의 증가 속도와 값 z_2 에 의해 결정된다. 따라서, 동기 판정 회로(66)가 제어 신호 SR 을 생성하고 나서 일정 시간이 경과하면 디코드 코어 회로(23)는 리피트 동작을 행한다. 이와 같이 하는 것은 제어 신호 SR 이 정확한 경우에도 제어 신호 SR 이 연속하여 어떤 일정한 횟수(= z_1)보다도 많이 생성된다고는 할 수 없기 때문이다. 그래서, 리피트 판정 회로(84)는 제어 신호 SR 이 생성되고 나서 일정 시간이 경과한 때 그 제어 신호 SR 을 정확한 신호라고 판정하고 제어 신호 SR_m 을 생성한다. 디코드 코어

회로(23)는 그 제어 신호 SRm에 따라서 리프트 동작을 행한다. 이와 같은 제2 및 제3 비교 처리 회로(94, 95) 및 카운터(92)에 의한 동작은 카운터(91)와 제1 비교 처리 회로(93)와 OR 회로(96)에 의한 동작을 보완하여 제어 신호 SRm을 확실하게 생성한다.

제9도는 스킵 판정 회로(85)의 블록 회로를 나타낸다. 스킵 판정 회로(85)는 카운터(101, 102), 제1~제3 비교 처리 회로(103~105), OR 회로(106), B 픽처 우선 처리 회로(107)를 구비하고 있다.

카운터(101)는 제어 신호 SS가 생성될 때마다 그 카운터 값을 증가시킨다.

제1 비교 처리 회로(103)는 카운터(101)의 카운트 값과 값 w1을 비교하여 카운트값쪽이 큰 경우에 제어 신호 SSp를 생성한다. 제2 비교 처리 회로(104)는 카운터(101)의 카운트 값이 영보다도 큰 경우에 카운터(102)에 카운트 개시 신호를 출력한다. 카운터(102)는 카운트 개시 신호에 응답하여 카운트 동작을 개시하고 일정 시간마다 카운트 값을 증가시킨다. 제3 비교 처리 회로(105)는 카운터(102)의 카운트 값과 값 w2를 비교하여 카운트 값 쪽이 큰 경우에 제어 신호 SSp를 생성한다.

B 픽처 우선 처리 회로(107)는 제어 신호 SSp와 픽처 헤더 검출 회로(63)에 의해 검출된 픽처의 타입(I, P, B)에 따라서 제어 신호 SSm을 생성한다. 이 제어신호 SSm은 디코드 코어 회로(23)가 I 픽처 또는 P 픽처보다도 B 픽처를 우선하여 스킵 동작하는 신호이다. OR 회로(106)는 각 제어 신호 Sn, SSm 중 적어도 어느 한 쪽이 생성되면 카운터(101)에 리세트 신호를 출력한다. 카운터(101)는 그 리세트 신호에 응답하여 카운트 값을 리세트한다. 카운터(102)는 제어 신호 SSm이 생성되면 카운터 값을 리세트한다.

제1 비교 처리 회로(103)는 카운터(101)의 카운터 값에 따라 제어 신호 SS가 값 w1보다도 많은 횟수만큼 연속하여 생성될 때 제어 신호 SSp를 생성한다. B 픽처 우선 처리 회로(107)는 그 제어 신호 SSp와 픽처의 타입(I, P, B)에 따라서 제어 신호 SSm을 생성한다. 따라서, 제어 신호 SS가 값 w1 보다도 많은 횟수만큼 연속하여 생성되지 않으면 디코드 코어 회로(23)는 스킵 동작을 행하지 않는다. 이와 같이 하는 것은 오디오 출력의 재생 타이밍보다도 비디오 출력의 재생 타이밍이 앞서 있지 않은 경우라도 동기 판정 회로(66)가 제어 신호 SS를 잘못해서 생성하는 일이 없기 때문이다. 예를 들면, PTS(A) 또는 PTS(V)가 잘못되어 있는 경우나 동화가 통상의 재생 속도보다도 고속으로 재생된 경우 등에 있어서 동기 판정 회로(66)가 제어 신호 SS를 잘못하여 생성하는 일이 있다.

그래서, 스킵 판정 회로(85)는 동기 판정 회로(66)가 제어 신호 SS를 연속하여 어떤 일정한 횟수(= w1)보다도 많이 생성된 때에, 그 제어 신호 SS를 정확한 것이라고 판정하여 제어 신호 SSp를 생성한다. 디코드 코어 회로(23)는 그 제어 신호 SSp에 따라서 스킵 동작을 행한다. 이와 같이 제어 신호 SSp를 생성하는 것은 잘못된 제어 신호 SS에 따라서 디코드 코어 회로(23)가 스킵 동작을 행하는 것을 미연에 방지한다.

그런데, B 픽처는 쌍방향 예측에 의하여 생성되기 때문에 데이터양은 적고, 그 중요도는 I 픽처나 P 픽처에 비해 낮아진다. 따라서, 중요도가 낮은 B 픽처를 우선하여 스킵 재생시키는 것은 재생되는 동화에 생기는 코마 결락을 적게한다.

제어 신호 SS가 1회 생성되면 카운터(102)는 카운트 동작을 개시하고 그 일정 시간 후에는 그 시점에서의 카운터(101)의 카운트값에 관계없이 제3 비교 처리회로(105)는 제어 신호 SSp를 생성한다. 이 일정 시간은 카운터(102)의 증가 속도와 값 w2에 의해 결정된다. 따라서 동기 판정 회로(66)가 제어 신호 SS를 생성하고 나서 일정 시간이 경과하면 디코드 코어 회로(23)는 스킵 동작을 행한다. 이와 같이 하는 것은 제어 신호 SS가 정확한 경우에도 제어 신호 SS가 연속하여 어떤 일정 횟수(= w1) 보다도 많이 생성된다고는 할 수 없기 때문이다. 그래서, 스킵 판정 회로(85)는 제어 신호 SS가 생성되고 나서 일정 시간이 경과한 때 그 제어 신호 SS를 정확한 신호라고 판정하고 제어 신호 SSp를 생성한다. 디코드 코어 회로(23)는 그 제어 신호 SSp에 따라서 스킵 동작을 행한다. 이와 같이 제2 및 제3 비교 처리 회로(104, 105) 및 카운터(102)의 동작은 카운터(101)와 제1 비교 처리 회로(103)와 OR 회로(106)의 동작을 보완하여 제어 신호 SSp를 확실히 생성한다.

본 실시예에서는 어떤 원인에 의해 잘못된 제어 신호 SR, SS가 생성된 경우에도 각 판정 회로(84, 85)가 각 제어 신호 SR, SS를 보정하여 각 제어 신호 SRm, SSm을 생성한다. 디코드 코어 회로(23)는 각 제어 신호 SRm, SSm에 따라 동작(스킵 동작, 리프트 동작)한다. 이것은 잘못된 각 제어 신호 SR, SS가 생성된 경우에도 오디오 출력과 비디오 출력의 동기를 확

실히 달성하는 것을 가능하게 한다.

사용자가 각 값 z_1 , z_2 , w_1 , w_2 를 입력 장치(86~89)에서 각각 설정하는 것은 각 판정 회로(84, 85)에서의 각 제어 신호 SR, SS의 보정 정도의 조절을 가능하게 한다. 스킵 재생을 하는 경우에 중요도가 낮은 B 픽처를 I 픽처나 P 픽처보다도 우선하여 스킵 재생시키는 것은 재생되는 동화에 생기는 프레임 결락을 작게 하고 동시에 동화의 움직임을 원활하게 하여 그 결과 화질을 향상시킬 수 있다.

또한, 상기 각 실시예는 이하와 같이 변경해도 된다.

(1) 제2, 제3 실시예에서 샘플링 주파수 검출 회로(53) 및 가산 회로(54)를 생략한다. 이 경우에는 @PTS를 리얼 타임으로 생성할 수가 없기 때문에 #PTS의 생성 정도는 저하된다. 그러나, 이 경우에도 오디오 출력과 비디오 출력의 동기를 제1 실시예보다도 더욱 확실하게 달성할 수 있다. 그리고, 오디오 스트림에 많은 PTS(A)가 부가되어 있는 경우에는 제2, 제3 실시예와 같은 정도의 성능을 얻을 수 있다.

(2) 제2, 제3 실시예에서 @PTS 대신에 PTS(A)로부터 (V)PTS를 감산한 값을 감산 회로(69)로부터 생성시킨다. 이 경우에는 PTS(A)와, 비디오 디코드 지연 시간 $D(t)$ 와, 값 x 에 기초하여 PTS(V)가 보정되어 #PTS가 생성된다. 이 경우에는 오디오 디코더(32)의 내부 지연 시간에 기초하여 디코드 코어 회로(23)의 동작을 제어할 수는 없지만 오디오 출력의 재생 타이밍에 맞추어 비디오 출력의 재생 타이밍이 제어되는 것에 차이는 없다. 그 때문에 오디오 디코더(32)의 내부 지연 시간이 작은 경우에는 제2, 제3 실시예와 같은 정도의 성능을 얻을 수 있다. 단, 그 경우 제어 회로(14)는 제1 실시예와 마찬가지로 오디오 디코더(32)의 내부 지연 시간과 SCR 및 PTS(A)를 근거로 오디오 출력의 재생 시각(재생 타이밍)을 계산하여 그 계산 결과에 따라서 디코드 코어 회로(13)를 제어한다.

(3) 제2, 제3 실시예에서 값 x 를 생략한다. 또한, 값 y 를 고정으로 한다. 이 경우에는 각 값 x , y 에 관계하는 기능이 생략될 뿐 그 외의 작용 및 효과에 대해서는 상기 각 실시예와 같다.

(4) 제3 실시예에서 리프트 판정 회로(84)로부터 각 비교 처리 회로(94, 95) 및 카운터(92)를 생략한다. 이 경우에는 각 회로(94, 95, 92)에 관계하는 기능이 생략될 뿐 그 외의 작용 및 효과에 대해서는 상기 실시예와 같다.

(5) 제3 실시예에서 스킵 판정 회로(85)로부터 각 비교 처리 회로(104, 105) 및 카운터(102)를 생략한다. 또한 스킵 판정 회로(85)로부터 B 픽처 우선 처리 회로(107)를 생략한다. 이 경우에는 각 회로(104, 105, 102, 107)에 관계하는 기능이 생략될 뿐 그 외의 작용 및 효과에 대해서는 상기 실시예와 같다.

(6) 제2, 제3 실시예에서 레지스터(21)를 1단의 스택으로 구성한다. 이 경우, 레지스터(21)의 스택 단수가 많으면 많을수록 이용할 수 있는 PTS(V)도 많게 되지만 레지스터(21)의 용량도 증가하는 것으로 된다. 따라서, 레지스터(21)의 스택 단수는 회로규모 및 단가와 요구되는 성능에 기초하여 적절히 설정하면 된다.

(7) 제3 실시예에서 각 비교 처리 회로(94, 104)는 각 카운터(91, 101)의 카운트값이 영 이상의 소정값보다도 큰 경우에 각 카운터(92, 102)의 카운트 동작을 개시한다.

(8) PTS를 DTS로 치환하여 상기 실시예와 마찬가지로 실시한다. 이 경우에도 상기 실시예와 마찬가지로 작용 및 효과를 얻을 수 있다.

이상, 각 실시예에 대해서 설명하였지만 각 실시예로부터 파악될 수 있는 청구항 이외의 기술적 사상에 대해서 이하에 그들의 효과와 함께 기재한다.

(I) MPEG 시스템 디코더에서 상기 외부로부터 지정된 제2의 값은 1개의 픽처가 재생되고 있는 시간의 절반보다도 크게 되도록 설정되어 있는 MPEG 시스템 디코더.

(II) MPEG 시스템 디코더에서 상기 샘플링 주파수는 44.1kHz인 MPEG 시스템 디코더.

(111) MPEG 시스템 디코더에서 상기 비디오 제어 회로는 비디오의 타임 스탬프와 픽처의 맵핑을 행하고 비디오 디코드 코어 회로의 내부 지연 시간과 비디오 레지스터로부터 판독된 비디오의 타임 스탬프와 오디오의 타임 스탬프에 기초하여 비디오 디코드 코어 회로에 스킵 동작 또는 리피트 동작을 행하도록 하는 MPEG 시스템 디코더.

이상과 같이 하면 상기 (2)에 기술된 실시예를 구체화할 수 있다.

그런데, 본 명세서에서 발명의 구성에 관련된 부재는 이하와 같이 정의되는 것으로 한다.

(a) 분리 수단은 오디오 비디오 파서로 구성된 것으로 한다.

(b) 제1의 리피트 유효화 수단은 카운터(91), 비교 처리 회로(93), OR 회로(96)로 구성된다.

(c) 제2의 리피트 유효화 수단은 카운터(92), 비교 처리 회로(94, 95)로 구성된다.

(d) 제1의 스킵 유효화 수단은 카운터(101), 비교 처리 회로(103), OR 회로(106)로 구성된다.

(e) 제2의 스킵 유효화 수단은 카운터(102), 비교 처리 회로(104, 105)로 구성된다.

(f) 제1의 값은 값 x 이고, 제2의 값은 값 y 이다.

(g) 제2의 레지스터는 레지스터(65), 제1의 비교 처리 회로는 비교 처리 회로(67), 제2의 비교 처리 회로는 비교 처리 회로(70), 제1의 감산 회로는 감산 회로(68), 제2의 감산 회로는 감산 회로(69)이다.

(h) 타임 스탬프는 PTS 뿐만 아니라 DTS도 포함하는 것으로 한다.

1) 오디오 출력이 재생되는 타이밍을 정확히 얻는 것이 가능한 MPEG 오디오 디코더를 제공할 수 있다.

2) 비디오 출력이 재생되는 타이밍을 정확히 얻는 것이 가능한 MPEG 비디오 디코더를 제공할 수 있다.

3) 오디오 출력과 비디오 출력의 동기를 충분히 달성할 수 있는 MPEG 시스템 디코더를 제공할 수 있다.

(57) 청구의 범위

청구항 1. (정정)오디오 및 비디오 타임 스탬프(time stamps) 및 SCR(System Clock Reference)을 갖는 오디오 및 비디오 스트림의 다중화된 시스템 스트림을 동기화된 오디오 출력 및 비디오 출력으로 디코딩하기 위한 MPEG 준수 오디오/비디오 디코딩 시스템(Moving Picture Experts Group compliant audio/video decoding system)에 있어서, 상기 시스템 스트림으로부터 오디오 및 비디오 스트림, 오디오 및 비디오 타임 스탬프, 및 상기 SCR을 추출하기 위한 파서(parser): 상기 오디오 스트림을 오디오 데이터로 디코딩하기 위해 상기 오디오 스트림에 응답하는 오디오 스트림 처리기; 상기 오디오 스트림 처리기의 오디오 디코딩 시간, 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 오디오 스트림 처리기로부터 상기 오디오 데이터의 출력을 제어하기 위해 상기 오디오 타임 스탬프 및 상기 SCR에 응답하는 오디오 제어기; 상기 비디오 스트림을 비디오 데이터로 디코딩하기 위해 상기 비디오 스트림에 응답하는 비디오 스트림 처리기; 및 상기 비디오 스트림 처리기의 비디오 디코딩 시간, 상기 SCR 및 상기 비디오 타임 스탬프에 기초하여 상기 비디오 스트림 처리기로부터 비디오 데이터의 출력을 제어하기 위해 상기 비디오 타임 스탬프 및 상기 SCR에 응답하는 비디오 제어기를 구비하는 디코딩 시스템.

청구항 2. (정정)디코딩 시스템으로부터 출력으로서 디코드된 오디오 데이터 및 디코드된 비디오 데이터를 제공하기 위해, SCR(System Clock Reference), 오디오 타임 스탬프(time stamps) 및 비디오 타임 스탬프를 갖는 오디오 및 비디오 스트림의 다중화된 시스템 스트림에 응답하는 MPEG 준수 오디오/비디오 디코딩 시스템(Moving Picture Experts Group

compliant audic/video decoding system)에 있어서, 상기 시스템 스트림으로부터 상기 오디오 및 비디오 스트림을 분리(demultiplexing)하기 위한 역다중화기를 포함하고, 상기 시스템 스트림으로부터 SCR, 오디오 타임 스탬프 및 비디오 타임 스탬프를 추출하기 위한 파서(parser)-상기 오디오 스트림, 상기 비디오 스트림, 상기 SCR, 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프는 상기 파서로부터 출력으로서 제공됨 -; 상기 오디오 스트림을 오디오 데이터로 디코딩하기 위해 상기 파서로부터 상기 오디오 스트림에 응답하는 오디오 스트림 처리기 - 상기 오디오 데이터는 상기 오디오 스트림 처리기로부터 출력으로서 제공됨 -; 상기 오디오 스트림 처리기의 내부 동작 지연 시간에 기초하여 오디오 디코딩 시간을 계산하고, 상기 오디오 디코딩 시간, 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 오디오 스트림 처리기로부터의 상기 오디오 데이터의 출력을 제어하기 위해, 상기 파서에 의해 제공되는 상기 SCR 및 상기 오디오 타임 스탬프에 응답하는 오디오 제어기; 상기 비디오 스트림을 비디오 데이터로 디코딩하기 위해 상기 파서로부터 상기 비디오 스트림에 응답하는 비디오 스트림 처리기 - 상기 비디오 데이터는 상기 비디오 스트림 처리기로부터 출력으로서 제공됨 -; 및 상기 비디오 스트림 처리기의 내부 동작 지연 시간에 기초하여 비디오 디코딩 시간을 계산하고, 상기 비디오 디코딩 시간, 상기 SCR 및 상기 비디오 타임 스탬프에 기초하여 상기 비디오 스트림 처리기로부터 상기 비디오 데이터의 출력을 제어하기 위해, 상기 파서에 의해 제공되는 상기 SCR 및 상기 비디오 타임 스탬프에 응답하는 비디오 제어기를 구비하는 디코딩 시스템.

청구항 3. (정정)제2항에 있어서, 상기 오디오 스트림 처리기는, 상기 파서로부터 상기 오디오 스트림 출력을 일시적으로 유지(holding)시키기 위한 오디오 버퍼; 및 상기 오디오 버퍼에 유지되는 상기 오디오 스트림을 디코딩하기 위한 오디오 디코드 코어 회로(audio decode core circuit)를 포함하고, 상기 비디오 스트림 처리기는, 상기 파서로부터 상기 비디오 스트림 출력을 일시적으로 유지시키기 위한 비디오 버퍼; 및 상기 비디오 버퍼에 유지되는 상기 비디오 스트림을 디코딩하기 위한 비디오 디코드 코어 회로를 포함하는 디코딩 시스템.

청구항 4. (정정)제3항에 있어서, 상기 오디오 스트림 처리기의 내부 동작 지연 시간은 상기 오디오 버퍼 및 상기 오디오 디코드 코어 회로의 내부 지연 시간의 합으로서 설정되고, 상기 비디오 스트림 처리기의 내부 동작 지연 시간은 상기 비디오 버퍼 및 상기 비디오 디코드 코어 회로의 내부 지연 시간의 합으로서 설정되는 디코딩 시스템.

청구항 5. (정정)오디오 및 비디오 타임 스탬프(time stmpns) 및 SCR(System Clock Reference)을 갖는 오디오 및 비디오 스트림의 다중화된 시스템 스트림을 동기화된 오디오 출력 및 비디오 출력으로 디코딩하기 위한 MPEG 준수 오디오/비디오 디코딩 시스템에 있어서, 상기 시스템 스트림으로부터 오디오 및 비디오 스트림, 오디오 및 비디오 타임 스탬프, 및 상기 SCR을 추출하기 위한 파서(parser); 상기 오디오 스트림을 오디오 데이터로 디코딩하기 위해 상기 오디오 스트림에 응답하는 오디오 스트림 처리기; 상기 오디오 스트림 처리기의 오디오 디코딩 시간, 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 오디오 스트림 처리기로부터 오디오 데이터의 출력을 제어하기 위해, 상기 오디오 타임 스탬프 및 상기 SCR에 응답하는 오디오 제어기; 상기 비디오 스트림을 비디오 데이터로 디코딩하기 위해 상기 비디오 스트림에 응답하는 비디오 스트림 처리기; 및 상기 비디오 스트림 처리기의 비디오 디코딩 시간, 상기 오디오 스트림 처리기의 오디오 디코딩 시간, 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프에 기초하여 상기 비디오 스트림 처리기로부터의 비디오 데이터의 출력을 제어하기 위해 상기 비디오 타임 스탬프 및 상기 오디오 타임 스탬프에 응답하는 비디오 제어기;를 구비하는 디코딩 시스템.

청구항 6. (정정)디코딩 시스템으로부터의 출력으로서 디코드된 오디오 데이터 및 상기 오디오 데이터와 동기된 디코드된 비디오 데이터를 제공하기 위해, SCR(System Clock Reference), 오디오 타임 스탬프(time stamps) 및 비디오 타임 스탬프를 갖는 오디오 및 비디오 스트림의 다중화된 시스템 스트림에 응답하는 MPEG 준수 오디오/비디오 디코딩 시스템에 있어서, 상기 시스템 스트림으로부터 상기 오디오 및 비디오 스트림을 분리하기 위한 역다중화기를 포함하고, 상기 시스템 스트림으로부터 SCR, 오디오 타임 스탬프 및 비디오 타임 스탬프를 추출하기 위한 파서 - 상기 오디오 스트림, 상기 비디오 스트림, 상기 SCR, 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프는 상기 파서로부터 출력으로서 제공됨 -; 상기 오디오 스트림을 오디오 데이터로 디코딩하기 위해 상기 파서로부터 상기 오디오 스트림에 응답하는 오디오 스트림 처리기 - 상기 오디오 데이터는 상기 오디오 스트림 처리기로부터 출력으로서 제공됨 -; 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 오디오 스트림 처리기로부터 상기 오디오 데이터의 출력을 제어하기 위해 상기 파서에 의해

제공되는 상기 SCR 및 상기 오디오 타임 스탬프에 응답하는 오디오 제어기; 상기 오디오 스트림 처리기의 내부 동작 지연 시간에 기초하여 오디오 디코딩 시간을 계산하고, 상기 계산된 디코딩 시간 및 상기 오디오 타임 스탬프에 기초하여 제1 타임 스탬프를 발생시키기 위해, 상기 파서로부터의 상기 오디오 타임 스탬프에 응답하는 타임 스탬프 발생기; 상기 비디오 스트림을 비디오 데이터로 디코딩하기 위해 상기 파서로부터의 상기 비디오 스트림에 응답하는 비디오 스트림 처리기 - 상기 비디오 데이터는 상기 비디오 스트림 처리기로부터 출력으로서 제공됨 -; 및 상기 비디오 스트림 처리기의 내부 동작 지연 시간에 기초하여 비디오 디코딩 시간을 계산하고, 상기 비디오 타임 스탬프, 상기 계산된 비디오 디코딩 시간 및 상기 제1 타임 스탬프에 기초하여 상기 비디오 스트림 처리기로부터의 상기 비디오 데이터의 출력을 제어하기 위해, 상기 파서로부터 제공되는 상기 비디오 타임 스탬프 및 상기 타임 스탬프 발생기에 의해 발생하는 제1 타임 스탬프에 응답하는 비디오 제어기를 구비하는 디코딩 시스템.

청구항 7. (정정)제6항에 있어서, 상기 오디오 타임 스탬프는 상기 오디오 출력의 출력 타이밍을 가리키는 PTS(Presentation Time Stamp) 및 상기 오디오 스트림의 디코딩 시작 타이밍을 가리키는 DTS(Decoding Time Stamp)를 포함하고, 상기 비디오 타임 스탬프는 상기 비디오 출력의 출력 타이밍을 가리키는 PTS(Presentation Time Stamp) 및 상기 비디오 스트림의 디코딩 시작 타이밍을 가리키는 DTS(Decoding Time Stamp)를 포함하는 디코딩 시스템.

청구항 8. (정정)제6항에 있어서, 상기 오디오 스트림 처리기는, 상기 오디오 타임 스탬프를 수신하고 일시적으로 유지시키며, 상기 오디오 제어기 및 상기 타임 스탬프 발생기에 대한 상기 오디오 타임 스탬프를 제공하기 위한 오디오 레지스터; 상기 파서로부터의 상기 오디오 스트림 출력을 일시적으로 유지시키기 위한 오디오 버퍼; 및 상기 오디오 버퍼에 유지되는 상기 오디오 스트림을 디코딩하기 위한 오디오 디코드 코어 회로를 포함하고, 상기 비디오 스트림 처리기는, 상기 비디오 타임 스탬프를 수신하고 일시적으로 유지시키며, 상기 비디오 제어기에 대한 상기 비디오 타임 스탬프를 제공하기 위한 비디오 레지스터; 상기 파서로부터의 상기 비디오 스트림 출력을 일시적으로 유지시키기 위한 비디오 버퍼; 및 상기 비디오 버퍼에 유지되는 상기 비디오 스트림을 디코딩하기 위한 비디오 디코드 코어 회로를 포함하는 디코딩 시스템.

청구항 9. (정정)제8항에 있어서, 상기 타임 스탬프 발생기는 상기 오디오 버퍼의 내부 지연 시간 및 상기 오디오 디코드 코어 회로의 내부 지연 시간의 합을 계산하고, 상기 합은 상기 오디오 스트림 처리기의 디코딩 시간으로서 고려되며, 상기 비디오 제어기는 상기 비디오 버퍼의 내부 지연 시간 및 상기 비디오 디코드 코어 회로의 내부 지연 시간의 합을 계산하고, 상기 합은 상기 비디오 스트림 처리기의 디코딩 시간으로서 고려되는 디코딩 시스템.

청구항 10. (정정)제8항에 있어서, 상기 타임 스탬프 발생기는, 상기 오디오 버퍼의 상기 내부 지연 시간을 계산하기 위한 지연 시간 계산기; 및 상기 제1 타임 스탬프를 생성하기 위해 상기 오디오 타임 스탬프로부터 상기 오디오 버퍼의 상기 내부 지연 시간 및 상기 오디오 디코드 코어 회로의 상기 내부 지연 시간의 합을 감산하기 위한 오디오 감산기를 포함하는 디코딩 시스템.

청구항 11. (정정)제10항에 있어서, 상기 타임 스탬프 발생기는, 상기 오디오 버퍼에 유지되는 상기 오디오 스트림으로부터 샘플링 주파수를 검출하고 상기 샘플링 주파수에 대응하는 클럭 신호를 발생시키기 위한 샘플링 주파수 검출기; 및 제2차 제1 타임 스탬프(secondary first time stamp)를 생성하기 위해 상기 오디오 감산기 및 상기 클럭 신호에 의해 생성되는 제1차 제1 타임 스탬프(primary first time stamp)를 가산하기 위한 가산기를 포함하는 디코딩 시스템.

청구항 12. (정정)제11항에 있어서, 상기 샘플링 주파수는 44.1kHz인 디코딩 시스템.

청구항 13. (정정)제8항에 있어서, 상기 비디오 제어기는, 상기 비디오 버퍼의 내부 동작 지연 시간을 얻기 위해 상기 비디오 스트림에 포함되는 상기 비디오 타임 스탬프 및 픽처를 맵핑(mapping)하기 위한 맵핑 처리기; 및 상기 비디오 디코드 코어 회로로 하여금 스킵 동작(skip operation) 또는 리피트 동작(repeat operation)을 수행하게 하는 방식으로 상기 비디오 디코드 코어 회로의 내부 지연 시간, 상기 비디오 타임 스탬프 및 상기 제1 타임 스탬프에 기초하여 출력 타이밍을 제어하기 위한 신호를 발생시키는 발생기를 포함하고, 상기 비디오 디코드 코어 회로는 스킵 제어 신호에 따라 상

기 비디오 버퍼에 유지된 상기 비디오 스트림에 포함되는 픽처를 포기하고 리피트 제어 신호에 따라 상기 픽처의 비디오 출력을 리피트하는 디코딩 시스템.

청구항 14. (정정)제13항에 있어서, 상기 발생기에 의해 발생하는 상기 리피트 제어 신호가 유효한지를 판정하고, 상기 리피트 제어 신호가 유효한 경우 리피트 동작에 대해 신규 리피트 제어 신호를 발생시키기 위한 리피트 판정 회로를 더 구비하는 디코딩 시스템.

청구항 15. (정정)제14항에 있어서, 상기 리피트 판정 회로는, 상기 리피트 제어 신호의 다수의 연속적인 발생을 카운트하기 위한 카운터; 및 상기 카운터의 카운트 값과 입력 디바이스에 의해 설정된 값을 비교하고, 상기 카운트 값이 상기 설정 값보다 큰 경우 신규 리피트 제어 신호를 발생시키기 위한 비교기를 포함하고, 상기 비교기가 상기 신규 리피트 제어 신호를 발생시키는 경우 상기 카운터는 상기 카운트 값을 제로로 재설정하는 디코딩 시스템.

청구항 16. (정정)제14항에 있어서, 상기 리피트 판정 회로는, 상기 리피트 제어 신호가 선정된 회수에 의해 발생하는 경우 카운트 동작을 시작하기 위한 카운터; 및 상기 카운터의 카운트 값과 입력 디바이스에 의해 설정된 값을 비교하고, 상기 카운트 값이 상기 설정 값보다 큰 경우 신규 리피트 제어 신호를 발생시키기 위한 비교기를 포함하고, 상기 비교기가 상기 신규 리피트 제어 신호를 발생시키는 경우 상기 카운터는 상기 카운트 값을 제로로 재설정 하는 디코딩 시스템.

청구항 17. (정정)제13항에 있어서, 상기 발생기는 상기 비디오 디코드 코어 회로로 하여금 정규 동작을 수행하도록 출력 타이밍을 제어하기 위해 정규-동작 제어 신호를 발생시키고, 상기 비디오 디코드 코어 회로는 상기 정규-동작 제어 신호에 따라 정규 방식으로 상기 비디오 버퍼에 유지된 상기 비디오 스트림을 디코드하는 디코딩 시스템.

청구항 18. (정정)제17항에 있어서, 상기 발생기에 의해 발생하는 상기 리피트 제어 신호가 유효한지를 판정하고, 상기 리피트 제어 신호가 유효한 경우 신규 리피트 제어 신호를 발생시키기 위한 리피트 판정 회로; 및 상기 발생기에 의해 발생된 상기 스킵 제어 신호가 유효한지를 판정하고, 상기 스킵 제어 신호가 유효한 경우 신규 스킵 제어 신호를 발생시키기 위한 스킵 판정회로를 더 구비하되, 상기 리피트 판정 회로는 상기 정규-동작 제어 신호가 상기 발생기에 의해 발생될 때 상기 신규 리피트 제어 신호의 발생을 정지시키고, 상기 스킵 판정 회로는 상기 정규-동작 제어 신호가 상기 발생기에 의해 발생될 때 상기 신규 스킵 제어 신호의 발생을 정지시키는 디코딩 시스템.

청구항 19. (정정)제18항에 있어서, 상기 리피트 판정 회로는, 상기 리피트 제어 신호의 다수의 연속 발생을 카운트하기 위한 제1 카운터; 상기 제1 카운터의 카운트 값과 입력 디바이스에 의해 설정된 값을 비교하고, 상기 카운트 값이 상기 설정 값보다 큰 경우 신규 리피트 제어 신호를 발생시키기 위한 제1 비교기; 상기 제1 카운터의 상기 카운트 값이 선정된 값보다 큰 경우 카운트 시작 신호를 발생시키기 위한 제2 비교기; 상기 카운트 시작 신호에 응답하여 카운트 동작을 시작하기 위한 제2 카운터; 및 상기 제2 카운터의 카운트 값과 입력 디바이스에 의해 설정된 값을 비교하고, 상기 카운트 값이 상기 설정 값보다 큰 경우 신규 리피트 제어 신호를 발생시키기 위한 제3 비교기를 포함하되, 상기 발생기가 상기 정규-동작 제어 신호를 발생시키거나 상기 제1 및 제3 비교기중 하나가 카운트 동안 상기 신규 리피트 제어 신호를 발생시킬 때 상기 제1 카운터는 상기 카운트 값을 제로로 재설정하고, 상기 제3 비교기가 상기 신규 리피트 제어 신호를 발생시킬때 상기 제2 카운터는 상기 카운트 값을 제로로 재설정 하는 디코딩 시스템.

청구항 20. (정정)제18항에 있어서, 상기 스킵 판정 회로는, 상기 스킵 제어 신호의 다수의 연속적인 발생을 카운트하기 위한 제1 카운터; 상기 제1 카운터의 카운트 값과 입력 디바이스에 의해 설정된 값을 비교하고, 상기 카운트 값이 상기 설정 값보다 큰 경우 신규 스킵 제어 신호를 발생시키기 위한 제1 비교기; 상기 제1 카운터의 상기 카운트 값이 선정된 값보다 큰 경우 카운트 시작 신호를 발생시키기 위한 제2 비교기; 상기 카운트 시작 신호에 응답하여 카운트 동작을 시작하기 위한 제2 카운터; 및 상기 제2 카운터의 카운트 값과 입력 디바이스에 의해 설정된 값을 비교하고, 상기 카운트 값이 상기 설정 값보다 큰 경우 신규 스킵 제어 신호를 발생시키기 위한 제3 비교기를 포함하되, 상기 발생기가 상기 정규-동작 제어 신호를 발생시키거나 상기 제1 및 제3 비교기중 하나가 카운트 동안 상기 신규 스킵 제어 신호를 발생시킬

때 상기 제1 카운터는 상기 카운트 값을 제로로 재설정하고, 상기 제3 비교기가 상기 신규 스킵 제어 신호를 발생시킬때 상기 제2 카운터는 상기 카운트 값을 제로로 재설정 하는 디코딩 시스템.

청구항 21. (정정)제13항에 있어서, 상기 맵핑 처리기는, 상기 비디오 버퍼에 유지된 상기 비디오 스트림에 비디오 타임 스탬프가 추가되는 가정하에 비디오 타임 스탬프의 어드레스를 검출하기 위한 기록 어드레스 검출기 - 상기 어드레스는 상기 비디오 레지스터에 상기 비디오 타임 스탬프와 관련하여 일시적으로 유지됨 -; 상기 비디오 버퍼로부터 판독된 상기 비디오 스트림의 어드레스를 검출하기 위한 판독 어드레스 검출기; 상기 비디오 버퍼에 유지된 상기 비디오 스트림에서의 각 픽처의 헤드로부터 픽처 헤더를 추출하기 위한 픽처 헤더 검출기(picture header detector); 상기 비디오 버퍼로부터 판독된 상기 비디오 스트림의 상기 어드레스와 상기 비디오 타임 스탬프와 관계되고 상기 비디오 레지스터로부터 판독된 상기 어드레스를 비교하고, 두 개의 어드레스 모두가 서로 일치하는지를 판정하기 위한 제1 비교기; 상기 제1 비교기에 의한 판정 결과 및 상기 픽처 헤더 검출기에 의한 검출 결과를 기초로 하여 상기 비디오 타임 스탬프 및 픽처를 맵핑하기 위한 맵핑 회로를 포함하는 디코딩 시스템.

청구항 22. (정정)제21항에 있어서, 상기 발생기는, 상기 픽처 헤더 검출기에 검출된 상기 픽처 유형에 기초하여, 상기 비디오 타임 스탬프를 일시적으로 유지시키고 B 픽처와 관계되는 비디오 타임 스탬프와 I 픽처 또는 P 픽처와 관계되는 비디오 타임 스탬프를 교환하기 위한 제1 레지스터; 제2 타임 스탬프를 생성하기 위해 상기 제1 타임 스탬프로부터, 상기 비디오 디코드 코어 회로의 내부 지연 시간 및 상기 제1 레지스터에 유지되는 상기 비디오 타임 스탬프를 감산하기 위한 비디오 감산기; 입력 디바이스에 의해 설정된 제1 값과 상기 제2 타임 스탬프를 비교하기 위한 제2 비교기; 및 상기 제2 비교기에 의한 비교 결과에 기초하여, 상기 맵핑 회로에 의한 맵핑의 수행후 상기 제어 신호를 발생시키기 위한 동기 판정 회로를 포함하는 디코딩 시스템.

청구항 23. (정정)제22항에 있어서, 상기 제1 값은 하나의 픽처 재생 시간의 절반보다 크게 설정되는 디코딩 시스템.

청구항 24. (정정)제22항에 있어서, 상기 비디오 감산기는, 상기 제1 레지스터에 유지된 상기 비디오 타임 스탬프로부터, 상기 비디오 디코드 코어 회로의 상기 내부 지연 시간과 입력 디바이스에 의해 설정된 제2 값의 합을 감산하고, 이로써 제1차 제2 타임 스탬프를 생성하는 제1 비디오 감산기; 및 제2차 제2 타임 스탬프를 생성하기 위해 상기 제1 타임 스탬프로부터 상기 제1차 제2 타임 스탬프를 감산하기 위한 제2 비디오 감산기를 포함하는 디코딩 시스템.

청구항 25. (정정)제13항에 있어서, 상기 발생기에 의해 발생된 상기 스킵 제어 신호가 유효한지를 판정하고, 상기 스킵 제어 신호가 유효한 경우 신규 스킵 제어 신호를 발생시키기 위한 스킵 판정 회로를 더 구비하는 디코딩 시스템.

청구항 26. (정정)제25항에 있어서, 상기 스킵 판정 회로는, 상기 스킵 제어 신호의 다수의 연속적인 발생을 카운트하기 위한 카운터; 및 상기 카운터의 카운트 값과 입력 디바이스에 의해 설정된 값을 비교하고, 상기 카운트 값이 상기 설정 값보다 큰 경우 신규 스킵 제어 신호를 발생시키기 위한 비교기를 포함하고, 상기 비교기가 상기 신규 스킵 제어 신호를 발생시키는 경우 상기 카운터는 상기 카운트 값을 제로로 재설정 하는 디코딩 시스템.

청구항 27. (정정)제25항에 있어서, 상기 스킵 판정 회로는, 상기 스킵 제어 신호가 선정된 회수에 의해 발생할 때 카운트 동작을 시작하기 위한 카운터; 및 상기 카운터의 카운트 값과 입력 디바이스에 의해 설정된 값을 비교하고, 상기 카운트 값이 상기 설정 값보다 큰 경우 신규 스킵 제어 신호를 발생시키기 위한 비교기를 포함하고, 상기 비교기가 상기 신규 스킵 제어 신호를 발생시키는 경우 상기 카운터는 상기 카운트 값을 제로로 재설정 하는 디코딩 시스템.

청구항 28. (정정)제 25항에 있어서, 상기 맵핑 처리기는 상기 비디오 버퍼에 기록된 상기 비디오 스트림에서의 각 픽처의 헤드로부터 픽처 헤더를 추출하고 상기 픽처 헤더에 정의된 픽처 유형을 검출하기 위한 픽처 헤더 검출기를 포함하고, 상기 스킵 판정 회로는 상기 신규 스킵 제어 신호 및 상기 픽처 헤더 검출기에 의해 검출된 픽처 유형에 기초하여 I 픽처 및 P 픽처에 대해 우선하여 B 픽처를 스킵하도록 스킵 제어 신호를 발생시키기 위한 우선 처리 회로(priority

processing circuit)를 포함하는 디코딩 시스템.

청구항 29. (정정)디코딩 시스템으로부터의 출력으로서 디코드된 오디오 데이터 및 상기 오디오 데이터와 동기된 디코드된 비디오 데이터를 제공하기 위해, SCR(System Clock Reference), 오디오 타임 스탬프(time stamps) 및 비디오 타임 스탬프를 갖는 오디오 및 비디오 스트림의 다중화된 시스템 스트림에 응답하는 MPEG 준수 오디오/비디오 디코딩 시스템에 있어서, 상기 시스템 스트림으로부터 상기 오디오 및 비디오 스트림을 분리하기 위한 역다중화기를 포함하고, 상기 시스템 스트림으로부터 SCR, 오디오 타임 스탬프 및 비디오 타임 스탬프를 추출하기 위한 파서 - 상기 오디오 스트림, 상기 비디오 스트림, 상기 SCR, 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프는 상기 파서로부터 출력으로서 제공됨 - : 상기 오디오 스트림을 오디오 데이터로 디코드하기 위해 상기 파서로부터 오디오 스트림에 응답하는 오디오 스트림 처리기 - 상기 오디오 데이터는 상기 오디오 스트림 처리기로부터 출력으로서 제공됨 - : 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 오디오 스트림 처리기로부터 상기 오디오 데이터의 출력을 제어하기 위해, 상기 파서에 의해 제공되는 상기 SCR 및 상기 오디오 타임 스탬프에 응답하는 오디오 제어기: 상기 비디오 스트림을 비디오 데이터로 디코드하기 위해 상기 파서로부터 상기 비디오 스트림에 응답하는 비디오 스트림 처리기 - 상기 비디오 데이터는 상기 비디오 스트림 처리기로부터 출력으로서 제공됨 - : 및 상기 비디오 스트림 처리기의 내부 동작 지연 시간에 기초하여 비디오 디코딩 시간을 계산하고, 상기 비디오 디코딩 시간, 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프에 기초하여 상기 비디오 스트림 처리기로부터 상기 비디오 데이터의 출력을 제어하기 위해, 상기 파서에 의해 제공되는 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프에 응답하는 비디오 제어기를 구비하는 디코딩 시스템.

청구항 30. (정정)오디오/비디오 디코딩 시스템에 사용하기 위한 것으로서 디코드된 오디오 데이터를 생성하기 위해 오디오 스트림, SCR(System Clock Reference) 및 오디오 타임 스탬프에 응답하는 MPEG 준수 오디오 디코더에 있어서, 상기 오디오 스트림을 오디오 데이터로 디코드하기 위해 상기 오디오 스트림에 응답하는 오디오 스트림 처리기 - 상기 오디오 데이터는 상기 오디오 스트림 처리기로부터 출력으로서 제공됨 - : 상기 오디오 스트림 처리기의 내부 동작 지연 시간에 기초하여 오디오 디코딩 시간을 계산하고, 상기 오디오 디코딩 시간, 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 오디오 스트림 처리기로부터 상기 오디오 데이터의 출력을 제어하기 위해, 상기 SCR 및 상기 오디오 타임 스탬프에 응답하는 오디오 제어기를 구비하는 오디오 디코더.

청구항 31. (정정)제30항에 있어서, 상기 오디오 스트림 처리기는, 상기 오디오 스트림을 일시적으로 유지시키기 위한 버퍼: 및 상기 버퍼에 유지된 상기 오디오 스트림을 디코딩하기 위한 디코드 코어 회로를 포함하는 오디오 디코더.

청구항 32. (정정)제31항에 있어서, 상기 오디오 제어기는 상기 버퍼의 내부 지연 시간과 상기 디코드 코어 회로의 내부 지연 시간의 합을 계산하며, 상기 합은 상기 오디오 스트림 처리기의 디코딩 시간으로서 간주되는 오디오 디코더.

청구항 33. (정정)오디오/비디오 디코딩 시스템에 사용하기 위한 것으로서 디코드된 비디오 데이터를 생성하기 위해 비디오 스트림, SCR(System Clock Reference) 및 비디오 타임 스탬프에 응답하는 MPEG 준수 비디오 디코더에 있어서, 상기 비디오 스트림을 비디오 데이터로 디코드하기 위해 상기 비디오 스트림에 응답하는 비디오 스트림 처리기 - 상기 비디오 데이터는 상기 비디오 스트림 처리기로부터 출력으로서 제공됨 - : 상기 비디오 스트림 처리기의 내부 동작 지연 시간에 기초하여 비디오 디코딩 시간을 계산하고, 상기 비디오 디코딩 시간, 상기 SCR 및 상기 비디오 타임 스탬프에 기초하여 상기 비디오 스트림 처리기로부터 상기 비디오 데이터의 출력을 제어하기 위해, 상기 SCR 및 상기 비디오 타임 스탬프에 응답하는 비디오 제어기를 구비하는 비디오 디코더.

청구항 34. (정정)제33항에 있어서, 상기 비디오 스트림 처리기는, 상기 비디오 스트림을 일시적으로 유지시키기 위한 버퍼: 및 상기 버퍼에 유지된 상기 비디오 스트림을 디코딩하기 위한 디코드 코어 회로를 포함하는 비디오 디코더.

청구항 35. (정정)제34항에 있어서, 상기 비디오 제어기는 상기 버퍼의 내부 지연 시간과 상기 디코드 코어 회로의 내부 지연 시간의 합을 계산하며, 상기 합은 상기 비디오 스트림 처리기의 디코딩 시간으로서 간주되는 비디오 디코더.

청구항 36. (정정)오디오/비디오 디코딩 시스템에 사용하기 위한 것으로서 오디오 디코더에 오디오 스트림을 제공하고 비디오 디코더에 비디오 스트림을 제공하기 위해, SCR(System Clock Reference), 오디오 타임 스탬프(time stamps) 및 비디오 타임 스탬프를 갖는 오디오 및 비디오 스트림의 다중화된 시스템 스트림에 응답하는 MPEG 준수 시스템 디코더에 있어서, 상기 시스템 스트림으로부터 상기 오디오 및 비디오 스트림을 분리하기 위한 역다중화기를 포함하고, 상기 시스템 스트림으로부터 SCR, 오디오 타임 스탬프 및 비디오 타임 스탬프를 추출하기 위한 파서 - 상기 오디오 스트림, 상기 비디오 스트림, 상기 SCR, 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프는 상기 파서로부터 출력으로서 제공됨 - : 상기 오디오 디코더의 내부 동작 지연 시간에 기초하여 오디오 디코딩 시간을 계산하고, 상기 오디오 디코딩 시간, 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 오디오 디코더를 제어하기 위해, 상기 파서에 의해 제공되는 상기 SCR 및 상기 오디오 타임 스탬프에 응답하는 오디오 제어기; 상기 비디오 디코더의 내부 동작 지연 시간에 기초하여 비디오 디코딩 시간을 계산하고, 상기 비디오 디코딩 시간, 상기 SCR 및 상기 비디오 타임 스탬프에 기초하여 상기 비디오 디코더를 제어하기 위해, 상기 파서에 의해 제공되는 상기 SCR 및 상기 비디오 타임 스탬프에 응답하는 비디오 제어기;를 구비하는 시스템 디코더.

청구항 37. (정정)SCR(System Clock Reference), 오디오 타임 스탬프 및 비디오 타임 스탬프로 다중화된 오디오 및 비디오 스트림을 포함하는 시스템 스트림을 오디오 데이터 및 비디오 데이터로 디코딩하도록 동작하고, MPEG 표준을 따르는 오디오/비디오 디코딩 시스템으로부터 상기 오디오 및 비디오 데이터의 출력을 동기화하는 방법에 있어서, 상기 시스템 스트림으로부터 상기 SCR, 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프를 추출하는 단계; 상기 시스템 스트림을 상기 오디오 스트림 및 상기 비디오 스트림으로 분리하는 단계; 상기 오디오 스트림으로부터 오디오 데이터를 디코딩하는데 요구되는 시간으로서, 오디오 디코딩 시간을 계산하는 단계; 및 상기 오디오 디코딩 시간, 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 디코딩 시스템으로부터 상기 오디오 데이터의 출력을 타이밍하는 단계; 상기 비디오 스트림으로부터 비디오 데이터를 디코딩하는데 요구되는 시간으로서, 비디오 디코딩 시간을 계산하는 단계; 및 상기 비디오 디코딩 시간, 상기 SCR 및 상기 비디오 타임 스탬프에 기초하여 상기 디코더로부터 상기 비디오 데이터의 출력을 타이밍하는 단계를 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 38. (정정)SCR(System Clock Reference), 오디오 타임 스탬프 및 비디오 타임 스탬프로 다중화된 오디오 및 비디오 스트림을 포함하는 시스템 스트림을 오디오 데이터 및 비디오 데이터로 디코딩하도록 동작하고, MPEG 표준을 따르는 오디오/비디오 디코딩 시스템으로부터 상기 오디오 및 비디오 데이터의 출력을 동기화하는 방법에 있어서, 상기 시스템 스트림으로부터 상기 SCR, 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프를 추출하는 단계; 상기 시스템 스트림을 상기 오디오 스트림 및 상기 비디오 스트림으로 분리하는 단계; 상기 오디오 스트림으로부터 오디오 데이터를 디코딩하는데 요구되는 시간으로서, 오디오 디코딩 시간을 계산하는 단계; 및 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 디코딩 시스템으로부터 상기 오디오 데이터의 출력을 타이밍하는 단계; 상기 오디오 디코딩 시간 및 상기 오디오 타임 스탬프에 기초하여 제1 타임 스탬프를 발생시키는 단계; 상기 비디오 스트림으로부터 비디오 데이터를 디코딩하는데 요구되는 시간으로서, 비디오 디코딩 시간을 계산하는 단계; 및 상기 비디오 디코딩 시간, 상기 비디오 타임 스탬프 및 상기 제1 타임 스탬프에 기초하여 상기 디코딩 시스템으로부터 상기 비디오 데이터의 출력을 타이밍하는 단계를 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 39. (정정)제38항에 있어서, 상기 제1 타임 스탬프를 발생시키는 상기 단계는, 상기 계산된 디코딩 시간 및 상기 오디오 타임 스탬프에 기초하여 제1차 제1 타임 스탬프를 발생시키는 단계; 상기 오디오 스트림으로부터 샘플링 주파수를 검출하는 단계; 상기 검출된 샘플링 주파수에 대응하는 클럭 신호를 발생시키는 단계; 및 제2차 제1 타임 스탬프를 생성하기 위해 상기 제1차 제1 타임 스탬프에 상기 클럭 신호를 가산하는 단계를 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 40. (정정)제38항에 있어서, 상기 비디오 디코딩 시간을 계산하기 전에 상기 비디오 스트림을 수신하고 일시적으로 유지시키는 단계를 더 포함하되, 상기 비디오 디코딩 시간을 계산하기 위한 단계는 상기 비디오 스트림의 유지로부터 발단되는 지연 시간을 얻도록 상기 비디오 스트림에 포함된 상기 비디오 타임 스탬프 및 픽처를 맵핑하는 단계를 포함하고, 상기 비디오 데이터의 출력의 상기 타이밍 단계는 상기 비디오 디코딩 시간 상기 비디오 스트림, 상기 비디오 타

임 스탬프 및 상기 제1 타임 스탬프에 기초하여 스킵 및 리피트 동작중 하나에 대한 제어 신호를 발생시키는 단계를 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 41. (신설)제40항에 있어서, 상기 제어 신호를 발생시키는 단계는 상기 비디오 디코딩 시간, 상기 비디오 타임 스탬프 및 상기 제1 타임 스탬프에 기초하여 제2 타임 스탬프를 발생시키는 단계; 및 상기 발생된 제2 타임 스탬프와 이전 설정 값을 비교하고 비교 결과에 따라 스킵 제어 신호 또는 리피트 제어 신호를 발생시키는 단계를 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 42. (신설)제40항에 있어서, 상기 스킵 제어 신호의 발생 후에, 상기 스킵 제어 신호의 상기 발생에서 연속적인지를 판정하는 단계; 및 상기 스킵 제어 신호의 상기 발생에서 연속적인 것으로 판정되는 경우 신규 스킵 제어 신호를 발생시키는 단계를 더 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 43. (신설)제40항에 있어서, 상기 리피트 제어 신호의 발생 후에, 상기 리피트 제어 신호의 상기 발생에서 연속적인지를 판정하는 단계; 및 상기 리피트 제어 신호의 상기 발생에서 연속적인 것으로 판정되는 경우 신규 리피트 제어 신호를 발생시키는 단계를 더 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 44. (신설)제40항에 있어서, 선정된 시간 동안 상기 스킵 제어 신호의 발생 이후의 시간을 계산하는 단계; 및 상기 선정된 시간이 지날 때 신규 스킵 제어 신호를 발생시키는 단계를 더 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 45. (신설)제40항에 있어서, 선정된 시간 동안 상기 리피트 제어 신호의 발생 이후의 시간을 계산하는 단계; 및 상기 선정된 시간이 지날 때 신규 리피트 제어 신호를 발생시키는 단계를 더 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 46. (신설)제40항에 있어서, 상기 스킵 제어 신호의 발생 후에, 상기 스킵 제어 신호의 상기 발생에서 연속적인지를 판정하는 단계; 상기 스킵 제어 신호의 상기 발생에서 연속적인 것으로 판정되는 경우 신규 스킵 제어 신호를 발생시키는 단계; 선정된 시간 동안 상기 스킵 제어 신호의 발생 이후의 시간을 계산하는 단계; 및 상기 선정된 시간이 지날 때 신규 스킵 제어 신호를 발생시키는 단계를 더 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 47. (신설)제40항에 있어서, 상기 리피트 제어 신호의 발생 후에, 상기 리피트 제어 신호의 상기 발생에서 연속적인지를 판정하는 단계; 상기 리피트 제어 신호의 상기 발생에서 연속적인 것으로 판정되는 경우 신규 리피트 제어 신호를 발생시키는 단계; 선정된 시간 동안 상기 리피트 제어 신호의 발생 이후의 시간을 계산하는 단계; 및 상기 선정된 시간이 지날 때 신규 리피트 제어 신호를 발생시키는 단계를 더 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

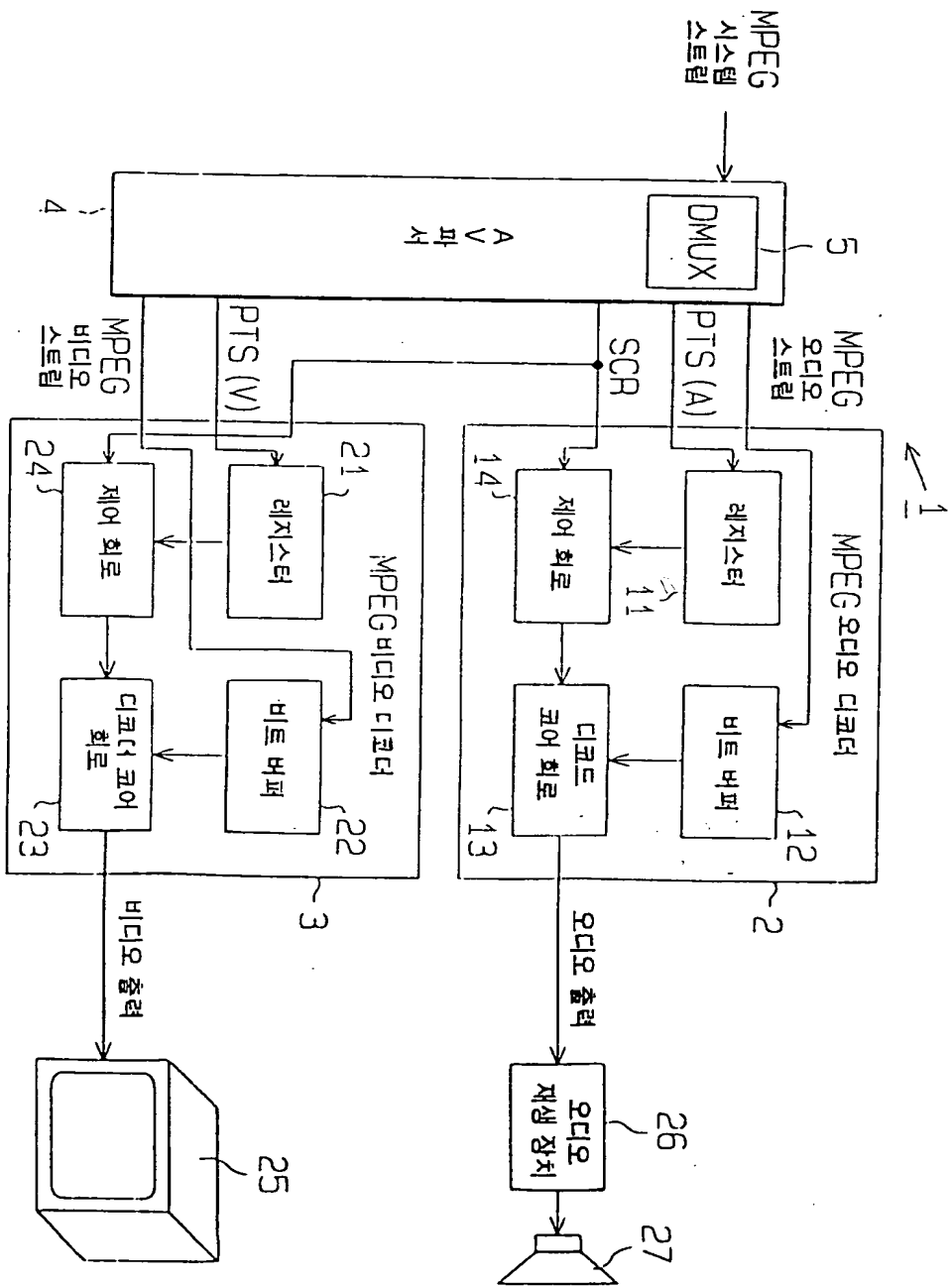
청구항 48. (신설)제47항에 있어서, 상기 비디오 스트림내의 각 픽처의 헤드로부터 픽처 헤더를 추출하는 단계; 상기 픽처 헤더에 정의된 픽처 유형을 검출하는 단계; 및 상기 신규 스킵 제어 신호 및 상기 픽처 유형에 기초하여 I 픽처 및 P 픽처에 대해 우선하여 B 픽처를 스킵하도록 스킵 제어 신호를 발생시키는 단계를 더 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

청구항 49. (신설)SCR(System Clock Reference). 오디오 타임 스탬프 및 비디오 타임 스탬프로 다중화된 오디오 및 비디오 스트림을 포함하는 시스템 스트림을 오디오 데이터 비디오 데이터로 디코딩하도록 동작하고, MPEG 표준을 따르는 오디오/비디오 디코딩 시스템으로부터 상기 오디오 및 비디오 데이터의 출력을 동기화하는 방법에 있어서, 상기 시스템 스트림으로부터 상기 SCR, 상기 오디오 타임 스탬프 및 상기 비디오 타임 스탬프를 추출하는 단계; 상기 시스템 스트림을 오디오 스트림 및 비디오 스트림으로 분리하는 단계; 상기 오디오 스트림으로부터 오디오 데이터를 디코딩하는데 요구

되는 시간으로서, 오디오 디코딩 시간을 계산하는 단계: 및 상기 오디오 디코딩 시간, 상기 SCR 및 상기 오디오 타임 스탬프에 기초하여 상기 디코딩 시스템으로부터의 상기 오디오 데이터의 출력을 타이밍하는 단계: 상기 비디오 스트림으로부터 비디오 데이터를 디코드하는데 요구되는 시간으로서, 비디오 디코딩 시간을 계산하는 단계: 및 상기 비디오 디코딩 시간, 상기 비디오 타임 스탬프 및 상기 오디오 타임 스탬프에 기초하여 상기 디코더로부터의 상기 비디오 신호의 출력을 타이밍하는 단계를 포함하는 오디오 및 비디오 데이터의 출력을 동기화하는 방법.

FIG

FIG 1



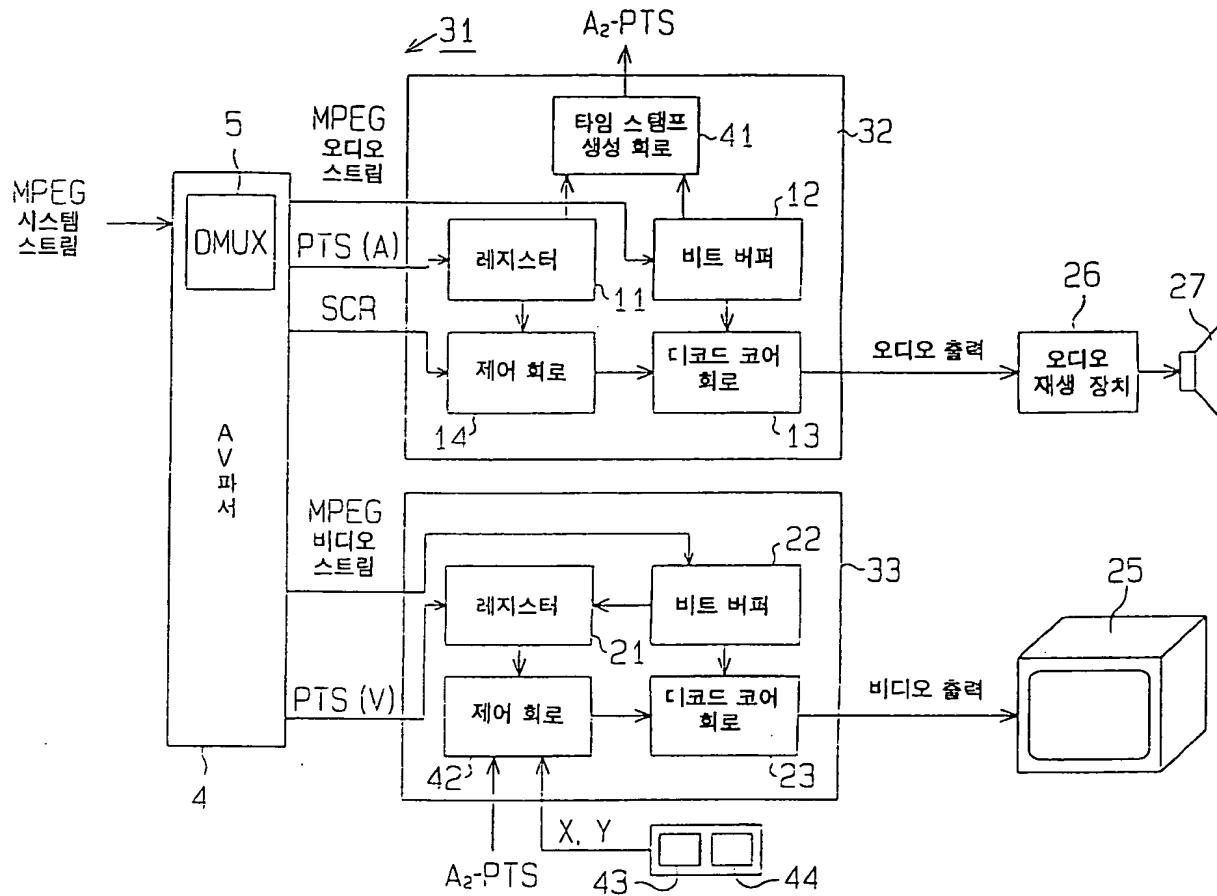
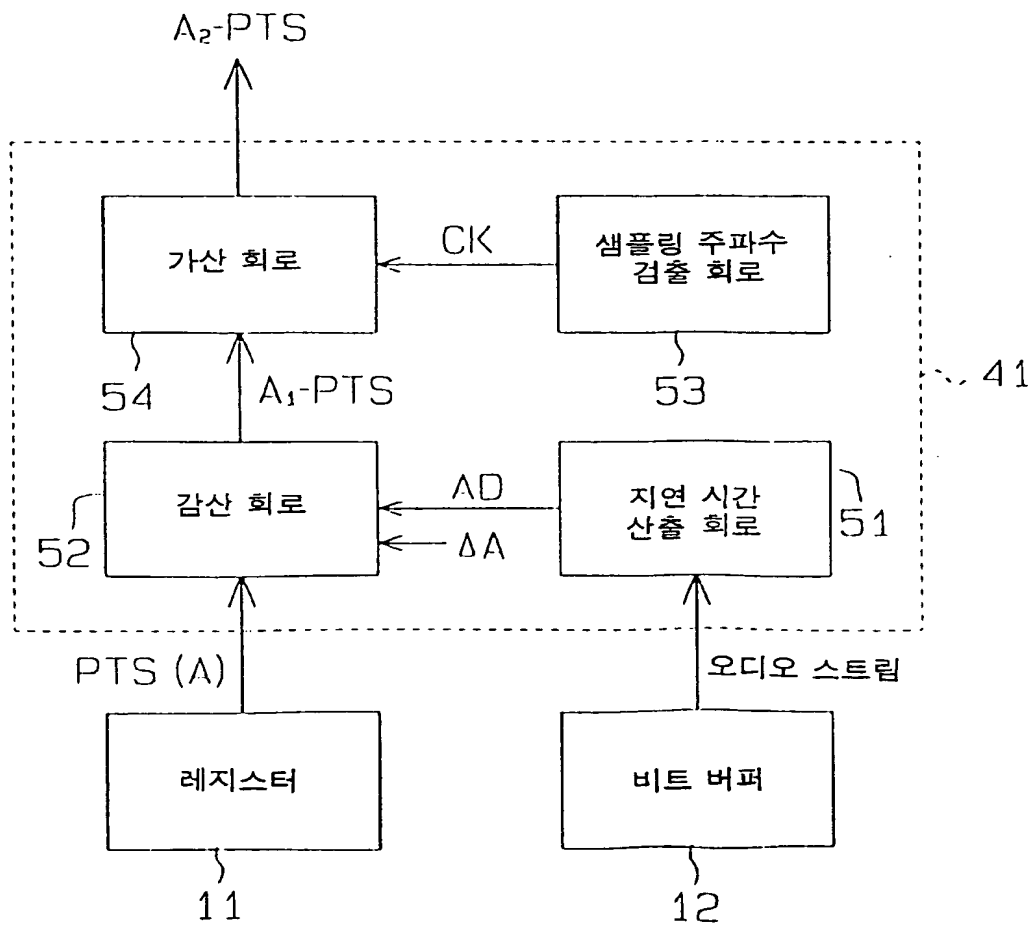
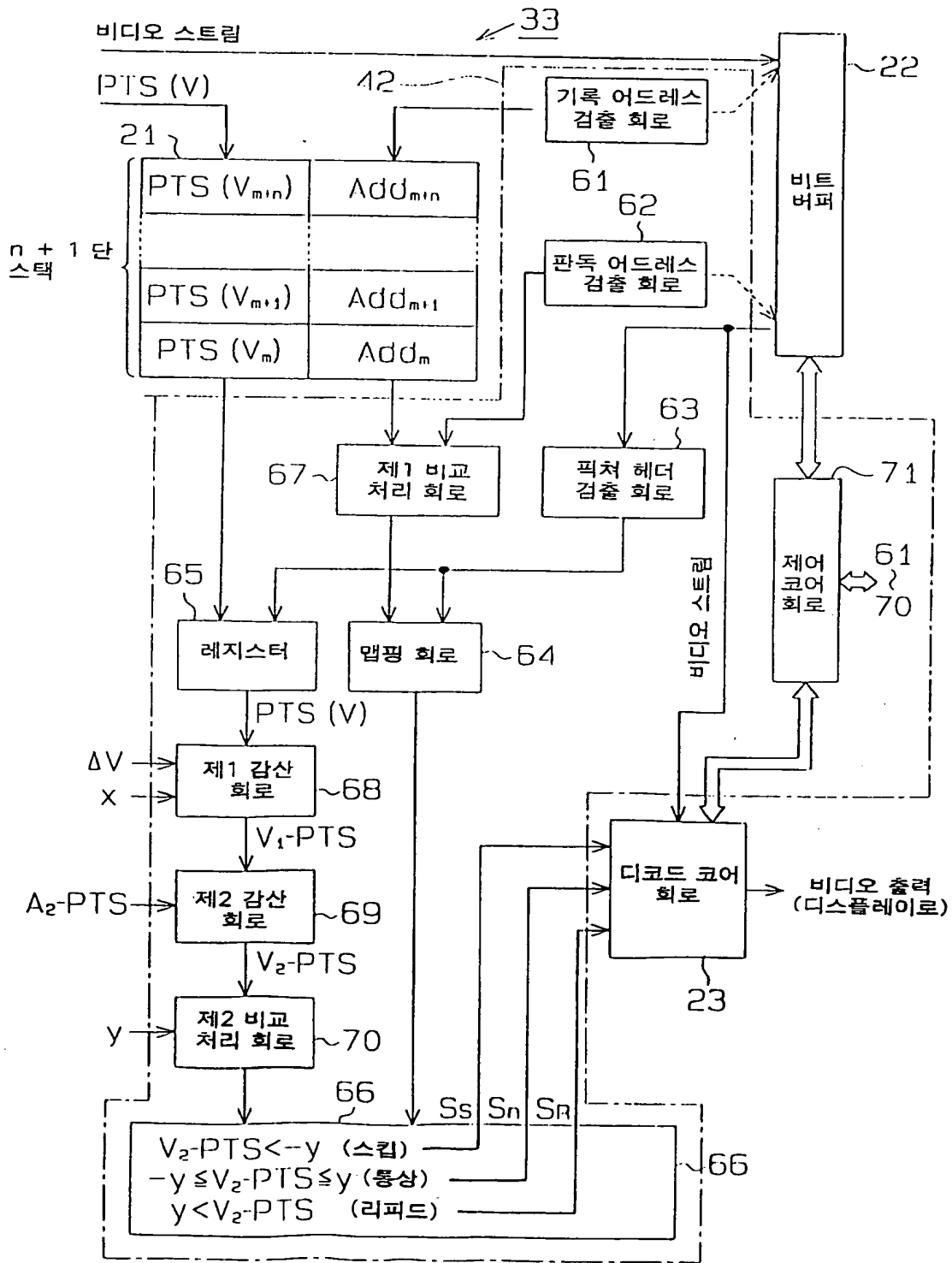
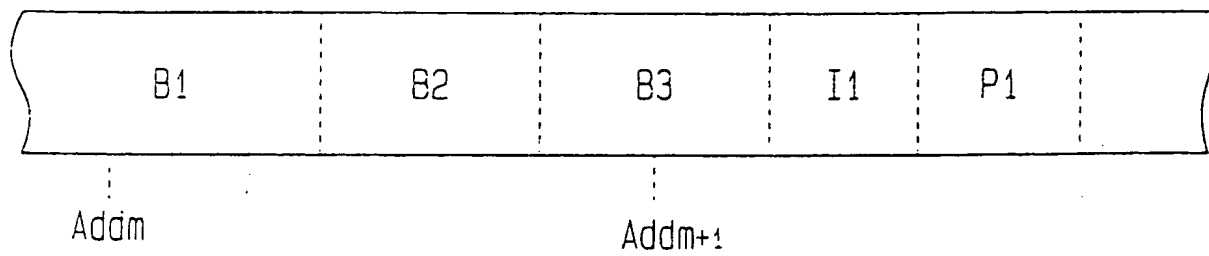
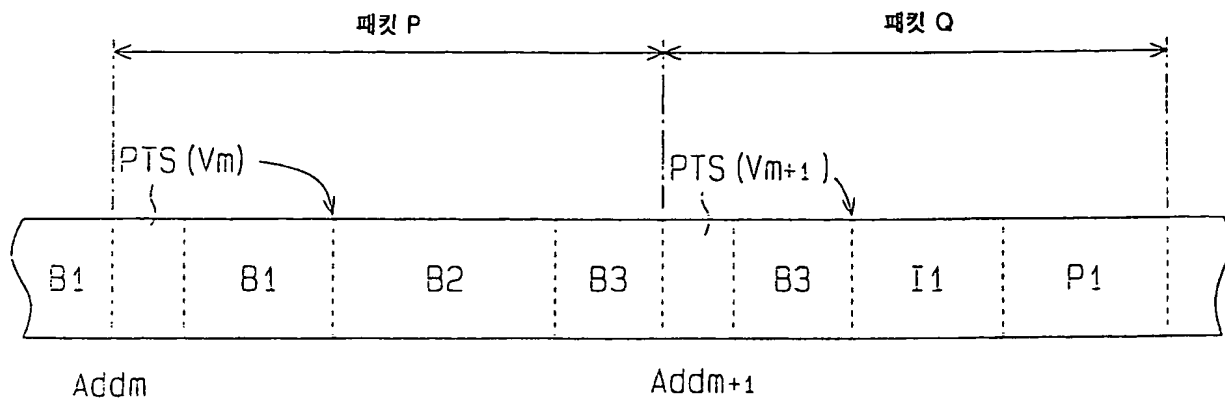


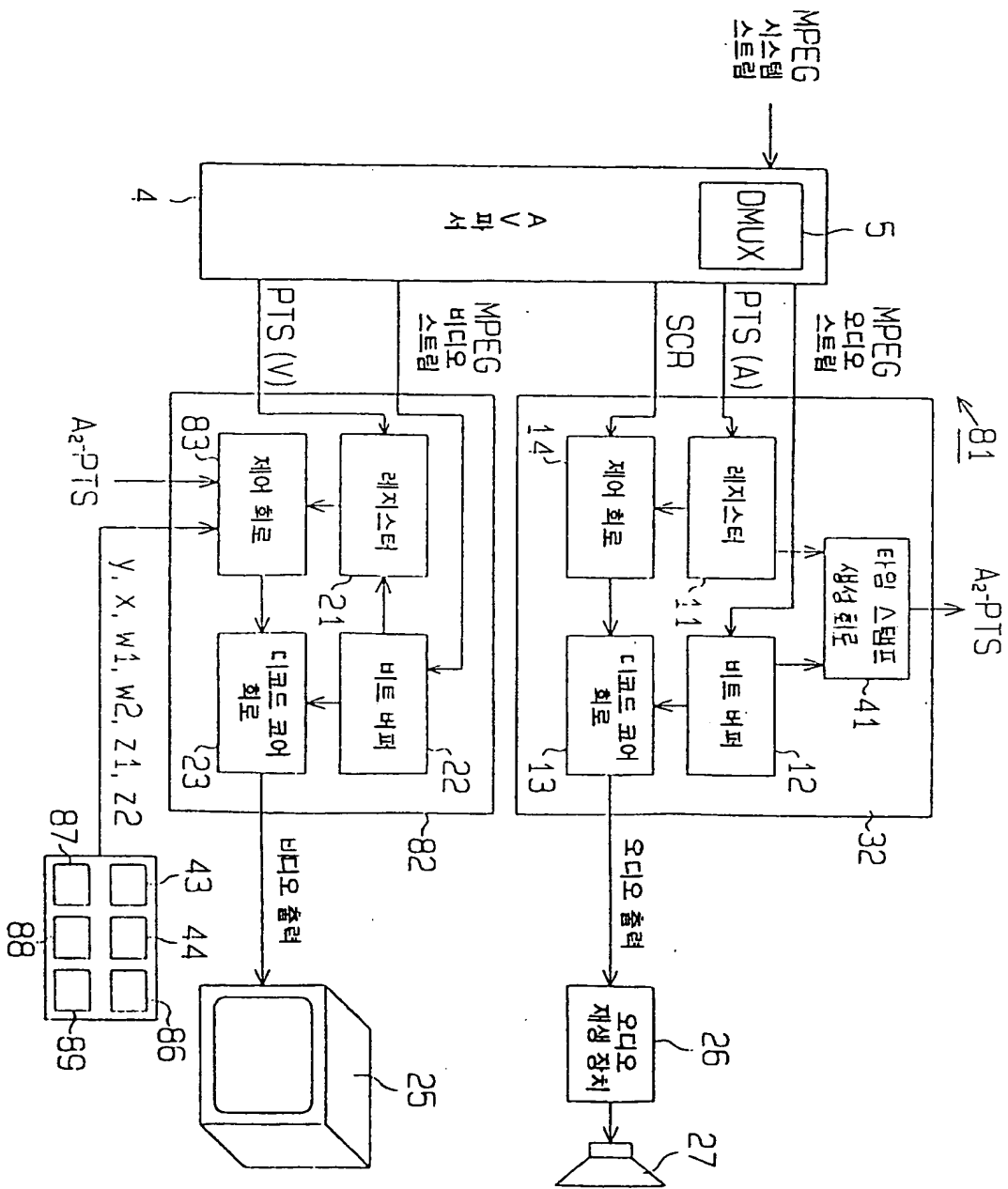
FIG. 3



도 2a







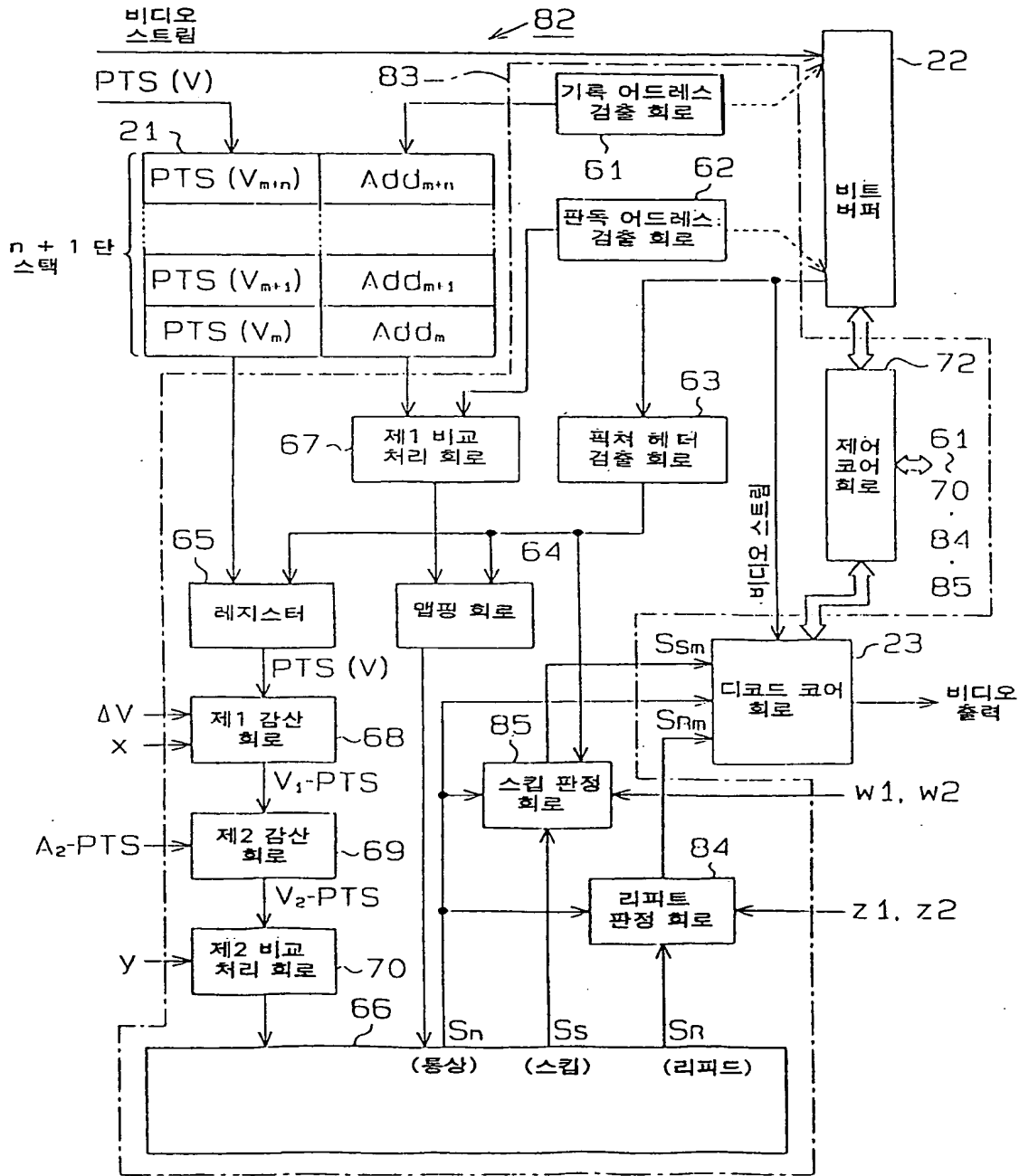


FIG. 3

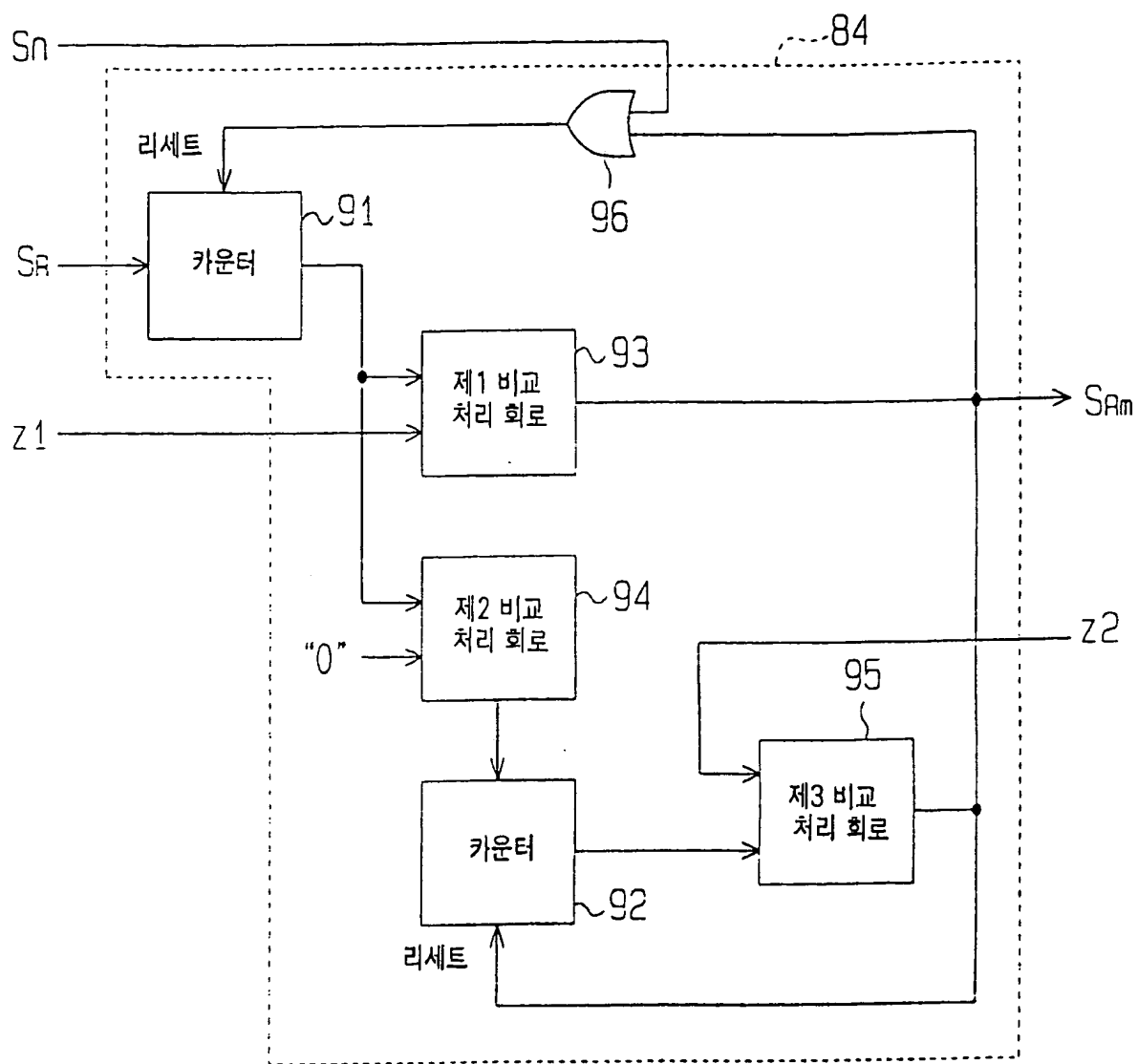


FIG. 2

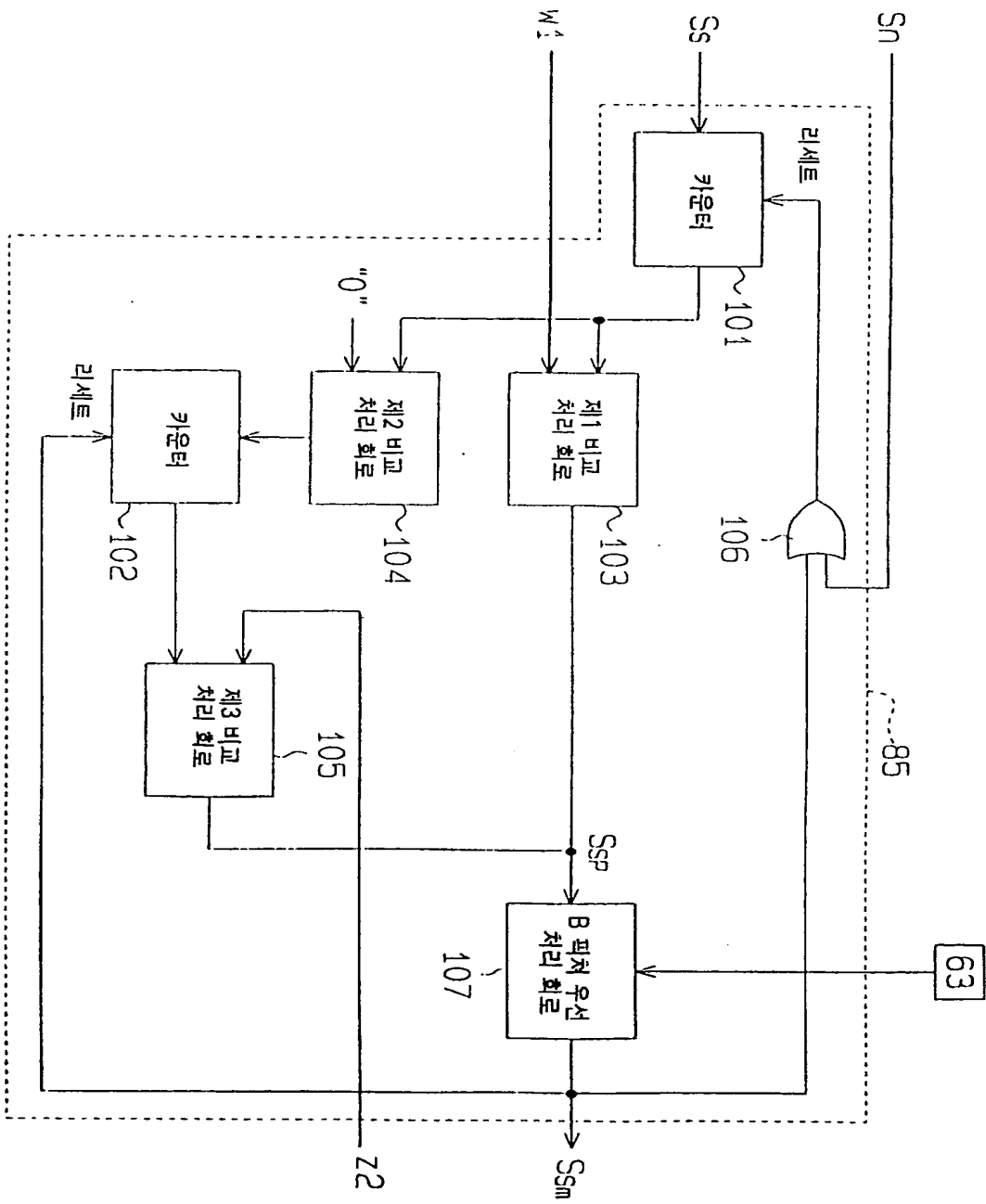


FIG. 2

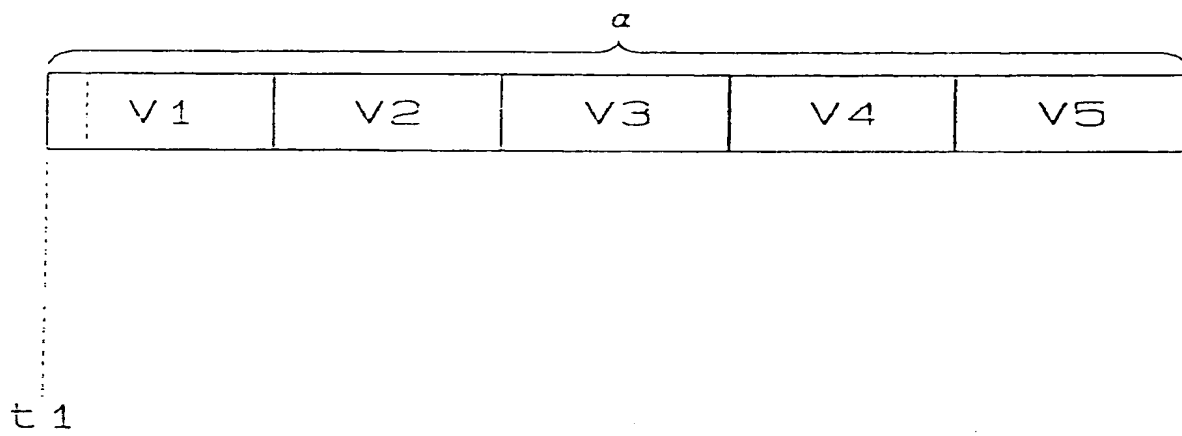
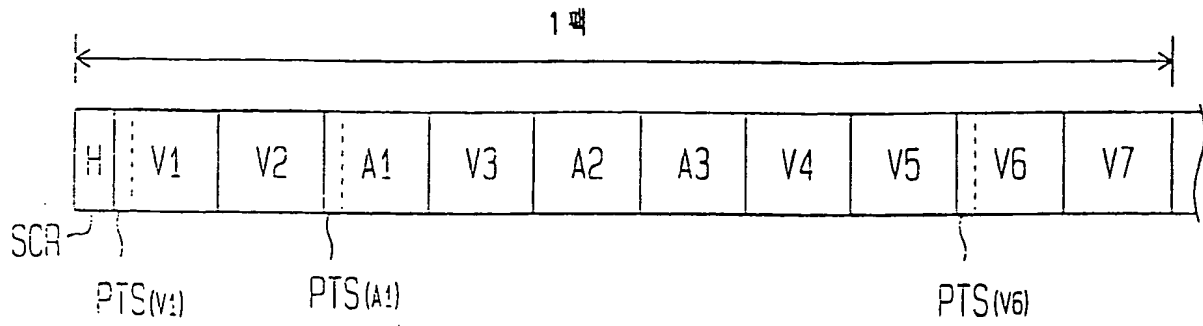
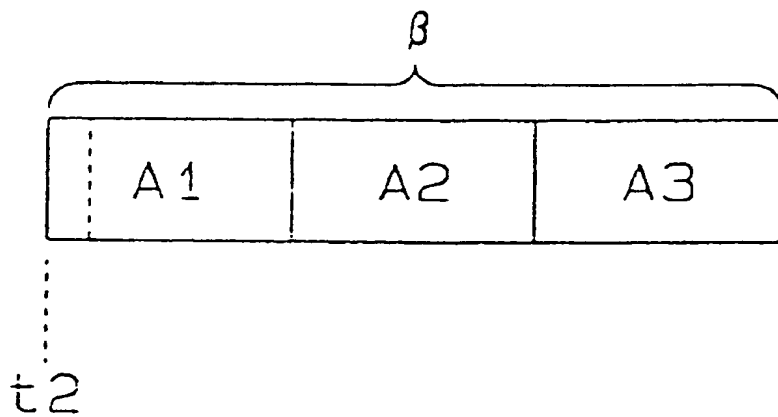
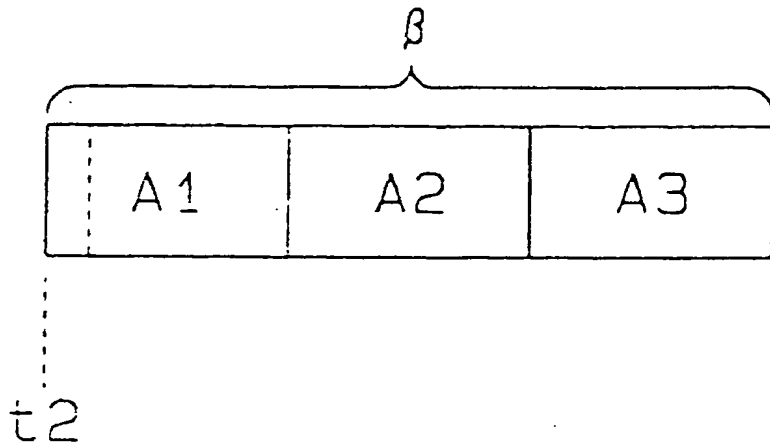


図 10a



도면 12a



도면 11

